



Instituto Politécnico Nacional

**Centro de Investigación en Computación
Laboratorio de Microtecnología y Sistemas Embebidos**

**Diseño de un convertidor de señal con aplicación
en sensores de imágenes**

TESIS

**QUE PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS EN INGENIERÍA DE CÓMPUTO
CON OPCIÓN EN SISTEMAS DIGITALES**

PRESENTA

ING. ALEJANDRO ROSAS ALBINO

DIRECTORES DE TESIS:

Dr. Víctor Hugo Ponce Ponce

Dra. Elsa Rubio Espino



MÉXICO, D.F.

07 DE OCTUBRE DE 2011



Resumen

En el proceso de conversión de una señal analógica a señal digital de una imagen, se considera al tiempo de procesamiento como una variable crítica para la obtención de la imagen. Por lo que es necesario desarrollar e integrar en el mismo circuito integrado, uno o más bloques de conversión Analógica–Digital para acelerar los tiempos de conversión.

En esta tesis se presenta el diseño de un convertidor de señal Analógico–Digital con aplicación en sensores de imágenes y a sistemas de cámara de un sólo chip basado en la técnica de conversión por modulación Sigma–Delta, además de aprovechar las ventajas que ofrecen los avances tecnológicos en CMOS (0.5 micras).

Por otro lado, se propone una arquitectura paralela en la que las restricciones en cuanto al tiempo de conversión, dejan de ser un factor importante para el desempeño del convertidor, evitándose así los problemas de acoplamiento parásito de cargas en las líneas de control de señal y la disminución de consumo de energía.

El sistema presentado en esta tesis es modelado mediante el uso del simulador de circuitos PSpice y el diseño geométrico con la herramienta L-Edit de Tanner EDA, procurando que la configuración de los transistores sea la más simple posible y evitando la violación de las reglas de diseño.



Abstract

In the process of converting an analog signal to digital signal of an image, the processing time is considered as a critical variable for obtaining the image. Therefore it is necessary to develop and integrate into the same integrated circuit, one or more blocks of Analog–Digital conversion with extremely high conversion times.

This thesis presents the design of an Analog–Digital signal converter with application in image sensors applicable to a camera system on a single chip based on the conversion technique Sigma-Delta modulation, while leveraging the advantages of technological advances in CMOS (0.5 micron).

On the other hand, it is used a parallel architecture in which the restrictions on the conversion time are no longer an important factor for the performance of the converter, thus avoiding problems of coupling parasite loads in signal control lines and the reduced energy consumption.

The system presented in this thesis is modeling using the PSpice circuit simulator and design layout with L-Edit geometric design tool from Tanner EDA, ensuring that the configuration of the transistors is as simple as possible and preventing the violation of design rules.



Dedicatorias

*Con estas letras y este pequeño espacio sé que no podré alcanzar a expresar mis más profundos agradecimientos a todos a quienes por ellos he logrado este mi sueño y objetivo. Sería muy difícil imaginar lo complicado que hubiese sido sin el apoyo de alguno de quienes quiero y amo. **Un millón de gracias, porque este logro es también el de ustedes.***

***A Dios** por estar junto a mí, guiando mis pasos y darme la oportunidad de cumplir uno de mis tantos sueños, junto a mi familia y seres queridos, por no dejarme solo en los momentos difíciles e iluminarme con su luz, por darme salud, serenidad y sabiduría para lograr mis objetivos.*

A Usted Mamá** por apoyarme y alentarme en todos los objetivos que me he planteado a lo largo de mi vida, por sus consejos que tanto aprecio, por creer en mí, por su tiempo y paciencia, por sus bendiciones y por cuidar de mí día y noche para ser un hombre de bien, pero sobre todo gracias por su amor y cariño. **¡Gracias por traerme a la vida! ¡La quiero mucho Mamá!

A Usted Papá** por estar conmigo en todo momento, por sus consejos que aprecio cual tesoro en mi corazón, por ser la persona a quien más admiro y mi ejemplo a seguir; por la disciplina, constancia, humildad y sencillez que me enseñó para lograr mis objetivos, por mostrarme el camino de un verdadero hombre, pero sobre todo gracias por su amor y cariño. **¡Lo quiero mucho Papá!

A mis Hermanos** por estar siempre ahí cuando los necesito, en los momentos felices pero sobre todos en aquellos que son difíciles. A ti **Virginia** por tu apoyo, por escucharme, por tu alegría y por mostrarme la fortaleza y carácter cuando se está en momentos difíciles. A ti **Manuel** por tu apoyo, opiniones y consejos, por ser mi mejor amigo y por la confianza que siempre nos hemos demostrado. Sepan que también mi apoyo hacia ustedes es incondicional. **¡Los quiero mucho!

A mis Sobrinas** por ser la alegría y distracción que necesito para olvidar las presiones. Porque en ustedes encuentro una motivación por ser un ejemplo y camino a seguir. **Janeth** y **Karen** sepan también que siempre contarán con un tío quien las apoye. **¡Las adoro!

A ti Edith** por ser el amor de mi vida, gracias por tu amor, paciencia y comprensión, por ese apoyo incondicional, por la motivación constante que me ha fortalecido para lograr este objetivo. Gracias tan sólo por tu presencia y por ser parte de mi vida. **¡Te amo, Luz de mi corazón!

***A mis Amigos** por ese apoyo mutuo que siempre nos hemos demostrado, por aquellas alegrías compartidas y sobre todo porque siempre hemos estado ahí cuando nos necesitamos.*

Alejandro Rosas Albino



Agradecimientos

Esta tesis forma una parte importante de mis metas y de mi vida, misma que forma el comienzo de otras etapas y objetivos. Agradezco a Dios, a mi familia y seres queridos por ser parte de este logro.

*Mis más sinceros agradecimientos a mi **Comité Tutorial**, por su valiosa aportación, consejos, conocimientos, experiencias e inclusive por los malos ratos, ya que sin ello, este trabajo de tesis no hubiese sido posible. Agradezco también la oportunidad de haber trabajado con ellos para lograr mi maestría en esta gran institución.*

*Mi mayor reconocimiento y gratitud a todos **mis Profesores** que han compartido conmigo sus amplios conocimientos y experiencias de manera desinteresada.*

*Al **Dr. Víctor Hugo Ponce Ponce** por brindarme la oportunidad de trabajar esta tesis bajo su dirección, pero sobre todo por mostrarme este campo tan maravilloso dentro de la investigación.*

*Un infinito agradecimiento sincero y especial al **Dr. Sergio Garduza González** por su colaboración, apoyo y paciencia que me brindo cuando más la necesitaba. Pero por encima de todo, le agradezco su disponibilidad y generosidad por compartir conmigo su amplio conocimiento para cumplir los objetivos de esta tesis.*

*Al **Centro de Investigación en Computación del Instituto Politécnico Nacional**, por creer en mí, por darme la oportunidad para realizar mis estudios de maestría, y por el apoyo recibido.*

*Al **Consejo Nacional de Ciencia y Tecnología (CONACYT)** por el apoyo económico recibido a través de la beca 268924/220019 que recibí a lo largo de la maestría.*

*A mis **Compañeros y Amigos** con quienes he compartido largas horas de trabajo. Les agradezco por los buenos y malos momentos, por las entretenidas charlas y por el apoyo brindado.*

Y a todas aquellas personas que cooperaron de una u otra forma en el desarrollo de esta tesis, hago extensivo mi más sincero agradecimiento.



Índice general

Resumen.....	I
Abstract	II
Dedicatorias	III
Agradecimientos	IV
Índice de tablas.....	VIII
Índice de figuras.....	IX
Glosario de términos y lista de acrónimos	XII
CAPÍTULO 1 Introducción.....	2
1.1 Antecedentes.....	6
1.2 Planteamiento del problema	12
1.3 Justificación de la tesis	18
1.4 Objetivo general.....	20
1.4.1 Objetivos particulares.....	20
1.5 Alcances del trabajo	21
1.6 Contribuciones.....	21
1.7 Metodología de investigación y desarrollo utilizado	22
1.8 Organización del trabajo	22
CAPÍTULO 2 Estado del arte	25
2.1 Trabajos relacionados con el presente trabajo	25
2.2 Resultados que ofrecen los trabajos	33
2.3 Propuesta del presente trabajo de tesis	36
2.4 Resumen del capítulo.....	37
CAPÍTULO 3 Marco teórico	39
3.1 Convertidor analógico-digital sigma delta	39



3.2 Sobre-muestreo	39
3.3 Efecto aliasing	46
3.4 Filtro anti-aliasing	46
3.5 Teorema de Nyquist.....	46
3.6 Función de muestreo.....	47
3.7 Interruptor MOSFET	48
3.7.1 Inyección de carga	49
3.7.2 Alimentación a través del reloj.....	49
3.8 Modulación sigma delta	49
3.9 Filtrado y decimación	50
3.10 Resumen del capítulo.....	51
CAPÍTULO 4 Modelo propuesto	54
4.1 Arquitectura propuesta	54
4.1.1 Integrador	55
4.1.2 Cuantificador.....	57
4.1.2.1 Pre-amplificación.....	59
4.1.2.2 Circuito de decisión	60
4.1.3 Buffer de salida	60
4.1.4 Convertidor DA	61
4.2 Metodología	63
4.2.1 Diagrama de bloques de la metodología propuesta	63
4.2.1.1 Definición del circuito.....	63
4.2.1.2 Definición del diseño esquemático	64
4.2.1.3 Simulaciones del circuito esquemático.....	64
4.2.1.4 Diseño topológico.....	64
4.2.1.5 Comparación del diseño topológico contra el circuito esquemático	64
4.3 Resumen del capítulo.....	65
CAPÍTULO 5 Pruebas y resultados	67
5.1 Simulación de un modulador $\Sigma\Delta$ ideal en Simulink de Matlab	67
5.2 Cálculos y simulación de bloques de la arquitectura propuesta del convertidor $\Sigma\Delta$ en PSpice	71
5.2.1 Integrador	71
5.2.2 Comparador.....	75
5.2.3 Buffer	79
5.2.4 Convertidor DA de 1-Bit.....	85



5.3 Desempeño del convertidor.....	87
5.4 Resumen del capítulo.....	89
CAPÍTULO 6 Aspectos finales.....	91
6.1 Conclusiones.....	91
6.2 Trabajo Futuro.....	96
Referencias.....	98
Libros y Monografías.....	98
Revistas y Actas de Congresos.....	99
ANEXO A.....	101
A.1 Configuración de parámetros en PSpice para transistores MOSFET de canal N y canal P.....	101
A.2 Modelos en PSpice de transistores MOSFET de canal N y canal P.....	103
A.3 Cálculos de transistores MOSFET de canal N y canal P.....	105
A.3.1 Ecuaciones para el transistor MOSFET de canal N.....	105
A.3.2 Ecuaciones para el transistor MOSFET de canal P.....	107
ANEXO B.....	110
B.1 Archivo Netlist de salida de PSpice de OrCad de la simulación del diagrama esquemático.....	110
B.2 Archivo Netlist de salida del diseño topológico diseñado en L-Edit de Tanner EDA.....	112
B.3 Archivo de salida de la comparación del diseño topológico contra el circuito esquemático.....	114
ANEXO C.....	117
C.1 Integrador.....	117
C.2 Cuantificador.....	117
C.3 Buffer.....	118
C.4 Convertidor DA.....	118
C.5 Voltaje de polarización Vbias1.....	119
C.6 Voltaje de referencia Vbias2.....	120
C.7 Modulador sigma-delta.....	121



Índice de tablas

Tabla 1.1 Cronología de la arquitectura del convertidor AD $\Sigma\Delta$	6
Tabla 1.2 Cronología de la arquitectura del convertidor AD de alta velocidad.	6
Tabla 1.3 Cronología de la arquitectura del convertidor AD de conteo e integración.	7
Tabla 1.4 Clasificación de los convertidores tipo AD según su velocidad de conversión.	10
Tabla 1.5 Comparativa entre los convertidores tipo AD más comunes.....	11
Tabla 2.1 Características del sensor de imágenes de área 128×128.....	34
Tabla 2.2 Características del convertidor $\Sigma\Delta$ diseñado con 10 MOSFETs.....	35
Tabla 2.3 Características del convertidor AD integrado tipo paralelo.....	35
Tabla 6.1 Características del convertidor AD $\Sigma\Delta$ de área 51 μm × 184 μm	94



Índice de figuras

Figura 1.1 Arquitectura típica de un sensor de imágenes en tecnología CMOS.	5
Figura 1.2 Tendencia de desarrollo de los sensores de imágenes en tecnología CMOS, versus sensores de imágenes en tecnología CCD.	9
Figura 1.3 Límites de velocidad entre diversos sistemas de conversión AD.	10
Figura 1.4 Sensor de imagen de arquitectura paralela.	14
Figura 1.5 Diagrama de bloques de un chip sensor de imágenes basado en tecnología CMOS.	15
Figura 1.6 Estructura del Sensor de Pixel Pasivo (PPS).	15
Figura 1.7 Arquitectura básica de un PPS.	16
Figura 1.8 Implementación de un PPS con un convertidor AD $\Sigma\Delta$ para cada columna en la matriz de pixeles.	17
Figura 2.1 Diagrama de bloques de un convertidor AD aplicable en un sensor de imagen.	26
Figura 2.2 Bloque de pixel.	27
Figura 2.3 Circuito esquemático del bloque que comprende un pixel.	28
Figura 2.4 Voltaje de salida del integrador durante un periodo de reloj y corrientes de entrada de 10nA y 100nA.	29
Figura 2.5 Forma de onda de salida del comparador para un V_{in} elegido aleatoriamente y $V_{ref} = 1.5V$	30
Figura 2.6 Diagrama de bloques de un convertidor AD tipo paralelo con técnicas de doblado.	31
Figura 2.7 Diagrama en bloque de doblado.	32
Figura 2.8 Comparador pseudo-analógico.	33
Figura 2.9 Diagrama electrónico del convertidor AD $\Sigma\Delta$ propuesto.	36
Figura 3.1 Comportamiento de un convertidor AD con muestreo de N-bit y ruido de cuantificación rms.	41
Figura 3.2 Comportamiento de un convertidor AD con una relación de muestreo más alta de K_{fs}	42
Figura 3.3 Comportamiento de un convertidor AD que utiliza sobre-muestreo.	43
Figura 3.4 Diagrama de bloques de un convertidor AD $\Sigma\Delta$ de primer orden.	44
Figura 3.5 Interruptor MOSFET.	48
Figura 3.6 Arquitectura básica de un modulador $\Sigma\Delta$ de primer orden.	50
Figura 3.7 Operación de decimación digital.	51
Figura 4.1 Arquitectura global del convertidor sigma delta con aplicación a sensores de imágenes en tecnología CMOS.	54
Figura 4.2 Diagrama electrónico de la etapa de integración de la arquitectura propuesta.	57
Figura 4.3 Operación de un comparador.	58
Figura 4.4 Diagrama de bloques de un comparador de alto desarrollo.	58
Figura 4.5 Diagrama electrónico de la etapa de cuantificación de la arquitectura propuesta.	59
Figura 4.6 Esquemático del circuito de decisión de la etapa de cuantificación de la arquitectura propuesta.	60



Figura 4.7 (a) Diagrama electrónico del buffer de la arquitectura propuesta. (b) Símbolo lógico del buffer.....	61
Figura 4.8 Diagrama electrónico del convertidor DA de la arquitectura propuesta.....	62
Figura 4.9 Diagrama de bloques de la metodología propuesta.....	63
Figura 5.1 Modelo de la arquitectura básica del modulador $\Sigma\Delta$ en Simulink.....	67
Figura 5.2 (a) Bloque del sumador en Simulink. (b) Bloque del sumador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.....	68
Figura 5.3 (a) Bloque del integrador en Simulink. (b) Bloque del integrador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.....	68
Figura 5.4 (a) Bloque del cuantificador en Simulink. (b) Bloque del cuantificador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.....	69
Figura 5.5 (a) Bloque del convertidor DA de 1-bit en Simulink. (b) Bloque del convertidor DA de 1-bit de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.....	69
Figura 5.6 Bloque de la onda sinusoidal en Simulink.....	70
Figura 5.7 Bloque Zero-Order Hold.....	70
Figura 5.8 Respuesta del sistema de primer orden con un periodo de muestreo de $1/(128*1e3)$. (a) Señal de entrada a una frecuencia de $\pi*1e3$ con amplitud de $\sin(\pi/2)$. (b) Señal modulada.....	71
Figura 5.9 Esquema eléctrico del integrador.....	74
Figura 5.10 Funcionamiento del integrador en el dominio del tiempo.....	75
Figura 5.11 Comparador regenerativo.....	76
Figura 5.12 Esquema eléctrico del comparador.....	77
Figura 5.13 Respuesta del comparador en el dominio del tiempo.....	78
Figura 5.14 Desempeño del comparador visto como un latch.....	79
Figura 5.15 Esquema eléctrico del inversor.....	81
Figura 5.16 Respuesta del inversor con W_n/L_n originales (calculados).....	82
Figura 5.17 Respuesta del inversor con W_n/L_n ajustados a la tecnología de $0.5\mu m$	83
Figura 5.18 Respuesta del inversor con W_n/L_n ideales ($W_n = 3.6\mu m$; $L_n = 2.0\mu m$; $W_p = 6.4\mu m$; $L_p = 1.2\mu m$).....	83
Figura 5.19 (a) Tiempo de subida en la señal de salida. (b) Tiempo de bajada en la señal de salida.....	83
Figura 5.20 Diagrama esquemático del buffer con W_n/L_n ajustadas.....	84
Figura 5.21 Respuesta del buffer con W_n/L_n ajustadas.....	84
Figura 5.22 Respuesta del buffer en el dominio del tiempo con W_n/L_n ajustadas.....	85
Figura 5.23 Esquema eléctrico del convertidor DA de 1-bit.....	86
Figura 5.24 Respuesta del convertidor DA de 1-bit en el dominio del tiempo.....	86
Figura 5.25 Dimensiones de los dispositivos del circuito esquemático del convertidor AD $\Sigma\Delta$	87
Figura 5.26 (a) Señal de entrada del convertidor. (b) Señal de salida del convertidor.....	88
Figura 6.1 Comportamiento del sistema de conversión $\Sigma\Delta$ simulado en Simulink de Matlab 2008a.....	92
Figura 6.2 Comportamiento del circuito de conversión $\Sigma\Delta$ simulado en PSpice de OrCad 10.3.....	92
Figura 6.3 Diseño del convertidor AD $\Sigma\Delta$ propuesto.....	93
Figura 6.4 Modulador Sigma-Delta de primer orden.....	95
Figura A.1 Archivos para la configuración de PSpice de OrCAD.....	102



Figura A.2 Archivo “nom.lib” con la librería “CMOS1_2.LIB” adicionada en las líneas de instrucción.....	102
Figura A.3 Características de un MOSFET canal N de dimensiones $L = 1.2\mu\text{m}$ y $W = 3.6\mu\text{m}$	106
Figura A.4 Características de un MOSFET canal N de dimensiones $L = 9\mu\text{m}$ y $W = 3.6\mu\text{m}$	107
Figura A.5 Características de un MOSFET canal N de dimensiones $L = 10.8\mu\text{m}$ y $W = 10.8\mu\text{m}$	107
Figura A.6 Características de un MOSFET canal P de dimensiones $L = 1.2\mu\text{m}$ y $W = 9\mu\text{m}$	108
Figura A.7 Características de un MOSFET canal P de dimensiones $L = 10.8\mu\text{m}$ y $W = 64.8\mu\text{m}$	109
Figura A.8 Características de un MOSFET canal P de dimensiones $L = 4.8\mu\text{m}$ y $W = 12\mu\text{m}$	109
Figura A.9 Características de un MOSFET canal P de dimensiones $L = 7.2\mu\text{m}$ y $W = 10.8\mu\text{m}$	109
Figura C.1 (a) Bloque esquemático del integrador. (b) Layout del integrador con área: $42\mu\text{m} \times 190\mu\text{m}$	117
Figura C.2 (a) Bloque esquemático del cuantificador. (b) Layout del cuantificador con área: $46\mu\text{m} \times 48\mu\text{m}$	117
Figura C.3 (a) Bloque esquemático del buffer de salida. (b) Layout del buffer con área: $22\mu\text{m} \times 36\mu\text{m}$	118
Figura C.4 (a) Bloque esquemático del convertidor DA. (b) Layout del convertidor con área: $24\mu\text{m} \times 41\mu\text{m}$	118
Figura C.5 (a) Bloque esquemático del voltaje de polarización V_{bias1} . (b) Layout del bloque esquemático V_{bias1} con área: $26\mu\text{m} \times 40\mu\text{m}$	119
Figura C.6 Respuesta del circuito V_{bias1} en el dominio del tiempo.....	119
Figura C.7 (a) Bloque esquemático del voltaje de referencia V_{bias2} . (b) Layout del bloque esquemático V_{bias2} con área: $26\mu\text{m} \times 33\mu\text{m}$	120
Figura C.8 Respuesta del circuito V_{bias2} en el dominio del tiempo.....	120
Figura C.9 Circuito esquemático del convertidor AD $\Sigma\Delta$ propuesto.	121
Figura C.10 Layout del convertidor AD $\Sigma\Delta$ propuesto con área total: $51\mu\text{m} \times 184\mu\text{m}$	121



Glosario de términos y lista de acrónimos

A continuación se muestra una lista de términos y acrónimos que se utilizan en la presente tesis. Las palabras que se encuentran entre paréntesis dentro de la definición contribuyen con el contexto de la definición dada. Además de que se presentan dentro de corchetes el significado de los acrónimos heredados de la literatura anglosajona.

AD	(Convertidor) Analógico–Digital. Dispositivo que convierte una señal de entrada analógica -comúnmente una carga eléctrica o voltaje- en un valor digital -comúnmente binario-. [Analog-to-Digital]
AIC	Amplificador de Integración de Carga. [Charge Integration Amplifier]
APS	Sensores de Pixel Activo. Sensor que se caracteriza por contener un elemento activo que amplifica la señal de cada pixel. [Active Pixel Sensors]
CCD	Dispositivo de Carga Acoplada. Circuito integrado que contiene un número determinado de condensadores acoplados que están bajo el control de un circuito interno y cada condensador puede transferir su carga eléctrica a los condensadores que se encuentran a su lado en el circuito impreso. [Charge–Coupled Device]
CMOS	(Tecnología) Metal–Óxido–Semiconductor Complementario. [Complementary Metal–Oxide Semiconductor]
Cuantificación	Proceso no lineal por el cual se discretiza la amplitud de una señal. Es decir, que se asigna un margen de valor de una señal analizada a un único nivel de salida.
DA	(Convertidor) Digital–Analógico. Dispositivo que convierte una entrada digital -comúnmente binaria- a una señal analógica -comúnmente una carga eléctrica o un voltaje-. [Digital-to-Analog]



Decimación	Proceso que se encarga de eliminar el ruido de cuantificación que ha quedado fuera de la banda de la señal tras su paso por el modulador $\Sigma\Delta$, además de reducir la frecuencia de muestreo a la frecuencia de Nyquist de la señal original.
Distorsión	Efecto que provoca que las señales continuas distintas se vuelvan no reconocibles cuando se muestrean digitalmente. [Aliasing]
DRAM	Memoria Dinámica de Acceso Aleatorio. Tipo de memoria que se emplea principalmente en los módulos de memoria RAM como memoria principal del sistema. Para mantener almacenado un dato en este tipo de memoria, se necesita revisar el mismo y recargarlo cada cierto periodo en un ciclo de refresco. [Dynamic Random Access Memory]
DSP	Procesador Digital de Señales. Es un sistema basado en un procesador que contiene un set de instrucciones, software y hardware que son optimizados para aplicaciones que requieran operaciones numéricas a una velocidad alta. [Digital Signal Processor]
ENOB	Número Efectivo de Bits. Es una medida de la calidad de una señal digital. [Effective Number of Bits]
FPGA	Dispositivo semiconductor constituido de bloques de lógica cuya interconexión y funcionalidad se puede configurar in situ a través de un lenguaje de descripción especializado. [Field Programmable Gate Array]
Flash	(Convertidor). Convertidor que se destaca por su elevada velocidad de funcionamiento. Está constituido por una cadena de divisores de voltaje y comparadores, realizando la conversión de manera instantánea de una única operación.
Fotodiodo	Semiconductor constituido por una unión PN sensible a la incidencia de la luz visible o infrarroja.



Latch-up	Generación de un camino de baja impedancia en los circuitos integrados CMOS entre la alimentación y tierra debido a la aparición de transistores bipolares parásitos.
Layout	Definición del diseño de un circuito integrado en términos de topología física de un chip, en oposición a su funcionamiento eléctrico, tal como ha sido definido en el esquema del circuito.
LPF	Filtro Digital Pasa-Bajas. Filtro que se caracteriza por permitir el paso de las frecuencias más bajas y atenuar las frecuencias más altas. [Low-Pass Filter]
LSB	Bit Menos Significativo. [Least Significant Bit]
MOS	Metal-Óxido-Semiconductor. [Metal-Oxide Semiconductor]
MOSFET	Transistor de Efecto de Campo de estructura MOS. Dispositivo controlado por tensión, extremadamente veloz en virtud a la pequeña corriente necesaria para estrangular o liberar el canal. [Metal Oxide Semiconductor Field Effect Transistor]
MSPS	Millones de muestras por segundo. [Mega Samples Per Second]
Nyquist	Frecuencia mínima de muestreo necesaria para evitar el efecto aliasing. Si la frecuencia más alta contenida en una señal analógica $X_a(t)$ es $F_{max} = C$ y la señal se muestrea a una tasa $F_s > 2F_{max} \equiv 2C$, entonces $X_a(t)$ se puede recuperar totalmente a partir de sus muestras.
PDM	Modulación por Densidad de Pulsos. Modulación utilizada en la representación y conversión de señales analógicas a digitales y de manera inversa. [Pulse Density Modulation]
Pipeline	(Convertidor). Convertidor Analógico-Digital que emplea etapas en cascada -funcionando en paralelo-, cada una de las cuales es capaz de producir uno o más bits.



Pixel	Es la menor unidad homogénea en color que forma parte de una imagen digital.
PPS	Sensores de Pixel Pasivo. Sensor que se compone básicamente de un fotodiodo y un transistor conmutable donde la lectura de los pixeles se procesa de una manera muy similar a las Memorias Dinámicas de Acceso Aleatorio. [Passive Pixel Sensors]
RMS	Valor Eficaz de una Señal. Valor de una corriente estrictamente constante -corriente continua- que al circular por una determinada resistencia óhmica pura produce los mismos efectos caloríficos (igual potencia disipada) que dicha corriente variable -corriente alterna-. [Root Mean Square]
SNR	Relación Señal–Ruido. Medida para cuantificar la cantidad de una señal que ha sido corrompida por el ruido. [Signal–to–Noise–Ratio]
Sobre-muestreo	Técnica que se utiliza para evitar las caídas abruptas y que permiten reconstruir, tras la conversión Digital–Analógica, una señal de pendiente suave. [Oversampling]
SR	Velocidad de cambio. Efecto no lineal en los amplificadores que representa la incapacidad de un amplificador para seguir variaciones rápidas de una señal de entrada. [Slew Rate]
VLSI	(Circuitos Integrados) Integración a Gran Escala. Proceso en el que se crean circuitos integrados mediante la combinación de miles de transistores en un único chip. [Very Large Scale Integration]
$\Sigma\Delta$	(Modulación) Sigma–Delta. Tipo de conversión Analógica–Digital o viceversa que permiten conseguir resoluciones muy altas empleando circuitos analógicos de prestaciones modestas y perfectamente realizables en tecnologías CMOS. [Sigma-Delta]



CAPÍTULO 1.

INTRODUCCIÓN

En este capítulo se introduce el convertidor AD $\Sigma\Delta$, el cual permite realizar la conversión de señales analógicas que provienen de arreglos de sensores de imágenes implementados en tecnología CMOS. Partiendo de este planteamiento, se presentan algunos antecedentes en relación a la tecnología CMOS, y se presentan tanto los objetivos así como los alcances de esta tesis, además de las contribuciones y justificación de la misma. Al final de este capítulo, se presenta una pequeña descripción de la organización y contenido del resto de los capítulos del presente trabajo de tesis.

1.1 Antecedentes

1.2 Planteamiento del problema

1.3 Justificación de la tesis

1.4 Objetivo general

1.4.1 Objetivos particulares

1.5 Alcances del trabajo

1.6 Contribuciones

1.7 Metodología de investigación y desarrollo utilizado

1.8 Organización del trabajo



CAPÍTULO 1 Introducción.

Un sensor de imágenes implementado en tecnología CMOS es un dispositivo de estado sólido que tiene como finalidad la detección de imágenes cuyas longitudes de onda estén dentro del intervalo de detección de los elementos fotosensibles. De manera opcional, las imágenes pueden ser convertidas a un formato digital dentro del mismo dispositivo, o simplemente, las imágenes son extraídas como una señal analógica para que externamente sean convertidas a un formato digital. Este tipo de dispositivos cobra cada día mayor importancia debido a la gran cantidad de sistemas en donde son aplicados, por ejemplo: teléfonos celulares, fotografía digital, control de navegación remota, vigilancia, control de calidad en manufactura, retro-visión en automóviles, etc.

Una arquitectura típica de un sensor de imágenes desarrollado en tecnología CMOS, consiste de un arreglo de píxeles en 2D, a los cuales se accede mediante una lógica de decodificación de columnas y renglones, tal y como se muestra en la Figura 1.1. El esquema que se presenta corresponde a una arquitectura de sensor de imágenes en tecnología CMOS serializada, en donde cada píxel se compone de un fotodetector, un amplificador de señal sencillo, un interruptor de restablecimiento (*reset*), además de un interruptor de acceso al grupo de sensores que se encuentran en cada renglón o fila.

Para poder acceder a un renglón completo de píxeles, se necesita que el circuito de decodificación de renglón active cada uno de los interruptores de acceso al grupo de sensores de cada renglón, lo que provocará que sólo un píxel de cada columna conecte su salida, a través de una compuerta de transmisión, al bus que une las salidas del grupo de sensores de cada columna. Esto es, solo un píxel en cada columna accede al bus de columna, mientras que el resto de los píxeles de la columna quedan desconectados del bus.



Cada bus de columna se conecta a un bloque amplificador (*buffer*), mismo que toma una muestra de la señal proveniente del bus de columna y lo retiene (*sample and hold*) para su subsecuente proceso.

El bloque decodificador de cada columna selecciona de manera secuencial cada una de las señales retenidas provenientes del bus de alguna columna y con el propósito de reducir la distorsión de la señal que va a ser convertida, y al mismo tiempo reducir el ruido, la señal es enviada a un filtro pasa bajas. A este proceso se le conoce como anti-solapamiento (*anti-aliasing*). Finalmente la señal pasa al circuito convertidor AD. Generalmente, solo se cuenta con un bloque de conversión AD dentro del sensor.

El dispositivo más utilizado como elemento transductor dentro del pixel es el fotodiodo, el cual produce una corriente (la cual llamaremos fotocorriente) que es proporcional a la intensidad de la luz que recibe. En una arquitectura típica de tres transistores por pixel, esta fotocorriente es acumulada a través de las capacitancias parásitas (C_{DB} o C_{SB}) de los transistores de restablecimiento (*reset*) por un cierto periodo de tiempo llamado tiempo de integración, creando así un voltaje proporcional a la intensidad luminosa. Por lo tanto, cada pixel provee un voltaje proporcional a la densidad de luz local. Si cada pixel tuviera su propio convertidor AD, entonces la matriz de pixeles ocuparía un área demasiado grande, reduciendo drásticamente el formato de imagen e incrementando al mismo tiempo el consumo de energía.

Por otro lado, para las aplicaciones en tareas de proceso de imágenes en tiempo real, esto es, sistemas digitales que están sujetos a realizar una tarea con restricciones de tiempo, se deben plantear arquitecturas más complejas en las que normalmente se integran múltiples bloques de conversión AD y algunos módulos de procesamiento específicos en el mismo circuito integrado. Por ejemplo, para detectar contornos y generar proyecciones a partir de imágenes capturadas con retardos del orden de los microsegundos.



Un factor crítico en los sistemas de visión, es el diseño y la implementación del sensor de imágenes, así como la integración del sistema de conversión de señal AD sobre el mismo sustrato, esto es, sobre la misma área de silicio, debido a que se puede optar por una conversión de señal tipo serializada, o de tipo paralelo.

Si se opta por una conversión de señal tipo serializada, se asume que se tiene un sólo convertidor para todo el sensor que es implementado en el mismo circuito integrado. Entonces, los propios tiempos de respuesta de los convertidores AD, son los que limitan el ancho de banda de salida del sensor, porque todas las señales de cada uno de los pixeles del arreglo se extraen secuencialmente a través del único canal de conversión AD, con la consecuente generación de un cuello de botella. Por ejemplo, si el convertidor AD realiza la tarea de conversión en 10 microsegundos, y tiene que convertir la señal de un arreglo ficticio de 10×10 pixeles, entonces la velocidad con que se obtendrían las imágenes del sensor, sería de 1000 cuadros por segundo. Sin embargo, si consideramos un formato de imagen más realista, esto es, un formato VGA (640×480 pixeles), apenas y se podrían obtener cerca de 3 cuadros por segundo, lo cual es improcedente incluso para video estándar que requiere de 30 cuadros por segundo.

Por lo anterior expuesto, se puede concluir que para poder aumentar la cantidad de cuadros por segundo, se necesita diseñar arquitecturas de conversión AD con tiempos de conversión reducidas, o bien, desarrollar arquitecturas que incluyan más de un convertidor AD en los sensores de imágenes. Considerando que la resolución en bits es también muy importante, resulta clara la conveniencia del segundo enfoque, mismo que da origen al diseño que se presenta en esta tesis.

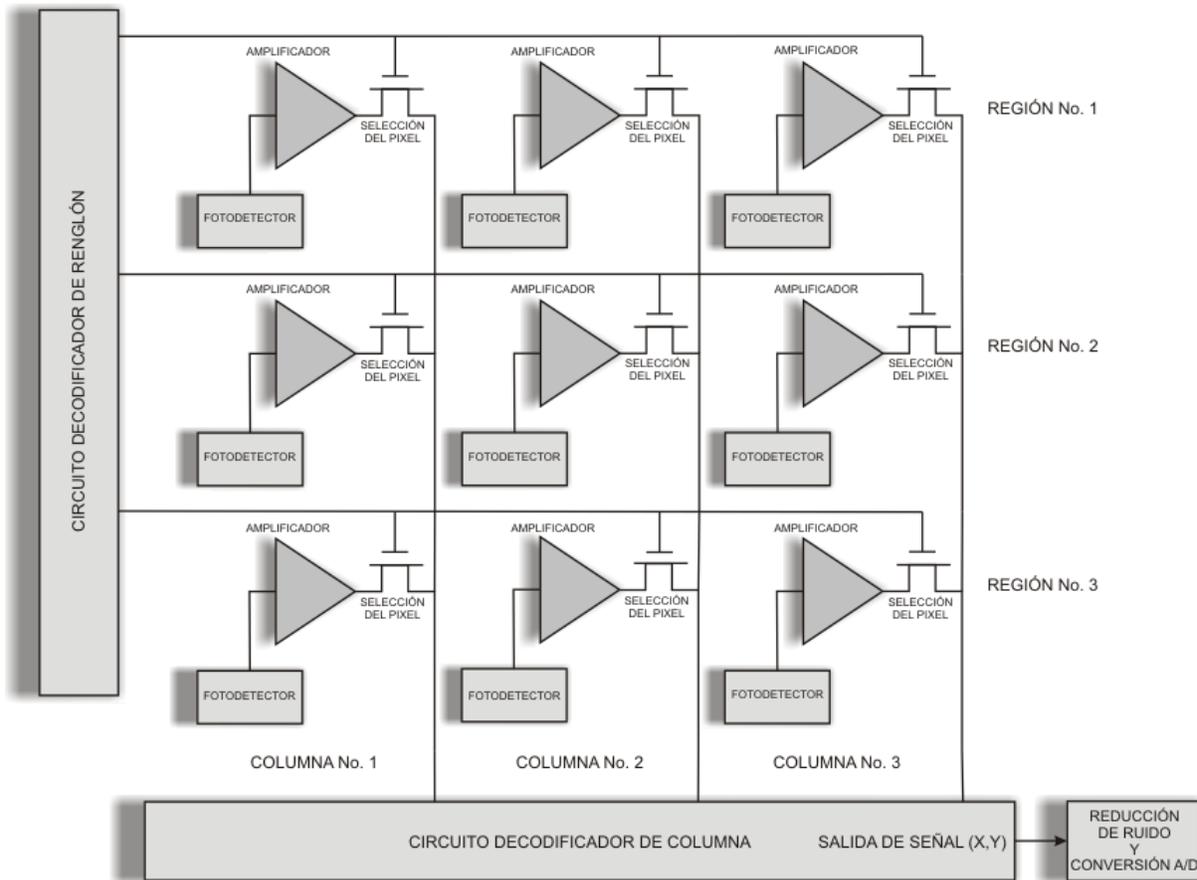


Figura 1.1 Arquitectura típica de un sensor de imágenes en tecnología CMOS.

Empleando más de un bloque convertidor AD y mediante una planeación estratégica de la arquitectura del sensor, se pueden lograr mayores anchos de banda sin comprometer el área de silicio. Por ejemplo, en el caso anterior donde se tenía un sensor con un arreglo matricial de 10×10 pixeles, y si se dispusiera de un convertidor AD en cada columna con tiempo de conversión también de 10 microsegundos, entonces el ancho de banda del circuito sería de 10kHz (o bien: 10,000 cuadros por segundo).



1.1 Antecedentes

Desde las dos últimas décadas del siglo pasado las tecnologías de fabricación de circuitos integrados han evolucionado enormemente. Hoy en día la tecnología de mayor auge en circuitos integrados digitales VLSI es la tecnología CMOS. Debido a este avance, la técnica de modulación $\Sigma\Delta$ se ha puesto en práctica con mayor éxito, sobre todo en aplicaciones de conversión AD, a pesar de que el concepto Sigma-Delta ya existía desde mediados del Siglo XX, como se muestra en la Tabla 1.1. En la Tabla 1.2 se muestra la cronología de los principales avances en los circuitos de conversión AD de alta velocidad y en la Tabla 1.3 se muestra la cronología de la arquitectura del convertidor AD de conteo e integración (las fechas son las primeras publicaciones o solicitudes de patentes) [18].

Año de surgimiento	Tipo de convertidor
1950	Modulación delta
1950	PCM diferencial
1954	Sobremuestreo individual y multi-bit con formación de ruido
1962	Primer convertidor AD denominado $\Sigma\Delta$
1969	Convertidor AD con adición de filtrado digital y decimación de Nyquist
1988	Convertidor $\Sigma\Delta$ de paso de banda

Tabla 1.1 Cronología de la arquitectura del convertidor AD $\Sigma\Delta$.

Año de surgimiento	Tipo de convertidor
1939	Conteo Reeve de 5-bits AD
1946	Aproximación sucesiva
1948	Flash (codificador de tubo de vacío)
1956	Bits por etapa (binary & gray) y semi-paralelo
1964	Semi-paralelo con corrección de errores
1966	Pipeline con corrección de errores

Tabla 1.2 Cronología de la arquitectura del convertidor AD de alta velocidad.



Año de surgimiento	Tipo de convertidor
1939	Conteo Reeve de 5-bits AD
1946	Descenso de carga (run-down)
1950	Rastreo
1951	Rampa de ascenso (run-up)
1952	Convertidor de voltaje a frecuencia (VFC)
1957	Doble rampa
1967	Triple rampa
1973	Cuádruple rampa

Tabla 1.3 Cronología de la arquitectura del convertidor AD de conteo e integración.

Los sensores de imágenes diseñados en tecnología CCD y los sensores de imágenes diseñados con tecnología CMOS, representan dos tecnologías diferentes que actualmente están puestas en práctica para la captura y procesamiento de imágenes. Los sensores de tipo CCD son aplicados en el área de la fotografía digital profesional, su formato y calidad de las imágenes son características que los distinguen dejando otras funcionalidades en un nivel de prioridad inferior; como la ejecución de tareas de proceso que se pudieran realizarse dentro del mismo dispositivo. La tecnología CCD es muy similar a la tecnología CMOS en la cual destacan los espesores de óxido de compuerta, los cuales son más gruesos que los que se utilizan en las tecnologías CMOS. Esta característica permite aplicar voltajes elevados a las fotocompuertas, que constituyen los elementos fundamentales de transducción en los sensores CCD, para crear pozos de potencial que permitan coleccionar las fotocargas y transferirlas entre las fotocompuertas con la mayor de las eficiencias. Los óxidos gruesos, por el contrario, son inconvenientes al momento de implementar transistores MOSFET. Por esta razón, no es posible incluir en el mismo sustrato ningún tipo de circuito activo, y por ende, ningún tipo de bloque de conversión AD en el mismo sustrato. La conversión AD se realiza de manera externa en los sensores CCD.



Para el caso de los sensores de imágenes en tecnología CMOS, generalmente se utiliza un sólo convertidor AD, embebido en el mismo dispositivo, para convertir todas las señales de cada uno de los pixeles.

El problema de la generación de cuellos de botella en el procesamiento de imágenes, se puede ejemplificar si se considera un sistema con una cámara y cómputo independientes. En efecto, este fenómeno se manifiesta durante el proceso de transmisión de las imágenes desde la cámara hacia la plataforma de proceso externa, cuando la conversión de señal se realiza a través de un solo bloque de conversión AD, sea ésta en el interior del sensor de imágenes CMOS o de manera externa, como es el caso de la mayoría de sistemas basados en sensores CCD.

Por otro lado, los sensores de imágenes de tipo CMOS generan la posibilidad de realizar la lectura de imágenes con mayor velocidad, con protocolos de lectura que permiten leer secciones aisladas del arreglo de pixeles *subframes*, reduciendo los tiempos de lectura. Asimismo, se abre también la posibilidad de integrar un número mayor de sistemas dentro del mismo dispositivo, tales como convertidores de señal e incluso bloques que realicen ciertas funciones de procesamiento elemental de imágenes.

Un gran número de sensores de imágenes CMOS son de aplicación específica, debido a que son ofrecidos a nivel comercial o militar. Ejemplo de ello son las cámaras integradas en teléfonos celulares, cámaras para endoscopia, sistemas de guiado de misiles, ratones ópticos, incluso actualmente se emplean ampliamente en aplicaciones dentro del mercado de los juguetes denominados "inteligentes". Más aún, este tipo de microsistemas actualmente han podido ser aplicados para dar solución a los problemas que presentan las grandes ciudades, como lo es el tráfico vehicular, el medio ambiente y la inseguridad, entre muchos otros. Ejemplo de ello, son los sistemas de control de tráfico vehicular y que pueden ser dotados de mayor inteligencia si se cuenta con retroalimentación visual la cual se encarga de medir el flujo de vehículos en una vía saturada. Otro caso donde se puede

aplicar esta tecnología es para la protección del medio ambiente, esto es, se pueden contar con autómatas que inspeccionen los ductos de agua potable para monitorear el estado físico en el que se encuentran. En estos casos, la funcionalidad y bajo consumo de energía de los sensores de imágenes basados en tecnología CMOS, los sitúa como grandes candidatos para ser implementados en este tipo de entornos.

Las áreas de oportunidad para estos dispositivos son cuantiosas, esto puede ser evidenciado en el interés que se ha puesto para el desarrollo de estos dispositivos en el entorno de sistemas embebidos, como se muestra en la Figura 1.2.

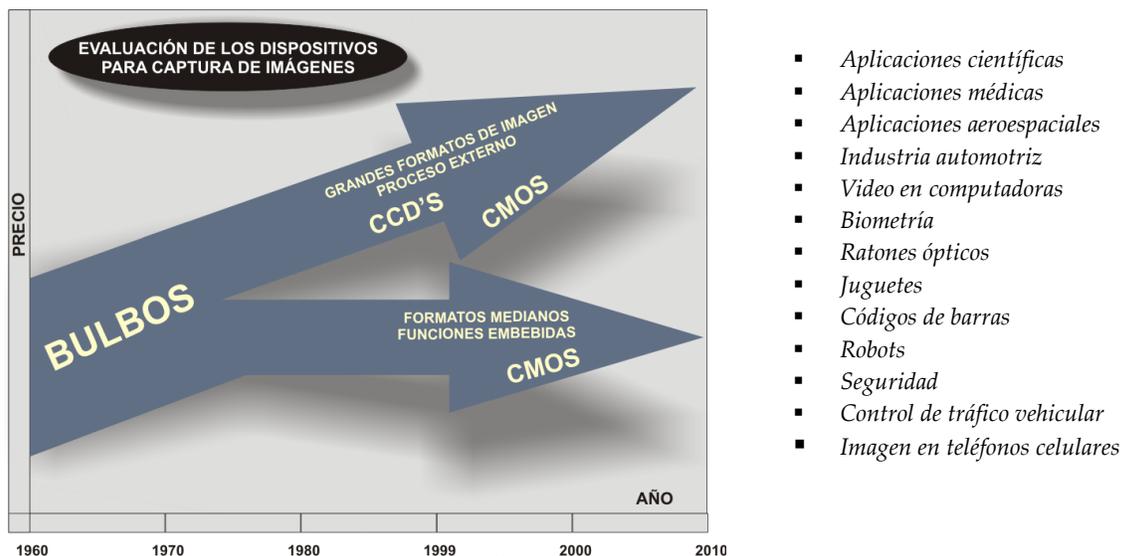


Figura 1.2 Tendencia de desarrollo de los sensores de imágenes en tecnología CMOS, versus sensores de imágenes en tecnología CCD.

Por otro lado, para optimizar la resolución y velocidad tanto de los convertidores tipo AD como de los convertidores tipo DA, al momento de integrarlos en una tecnología CMOS, es necesario requerir de técnicas de diseño específicas.

Los convertidores tipo AD pueden ser clasificados dependiendo su velocidad de conversión, resolución, su modo de operación, su formato digital y/o analógico y por su

estructura interior. Para aplicaciones de alta resolución y baja-media velocidad se utilizan los convertidores basados en moduladores $\Sigma\Delta$, mientras que los convertidores tipo Flash y tipo Pipeline son utilizados para aplicaciones de alta velocidad y de resolución media. Esto puede ser observado en la Figura 1.3, donde se compara tanto los límites de velocidad como la resolución para cada tipo de convertidor AD.

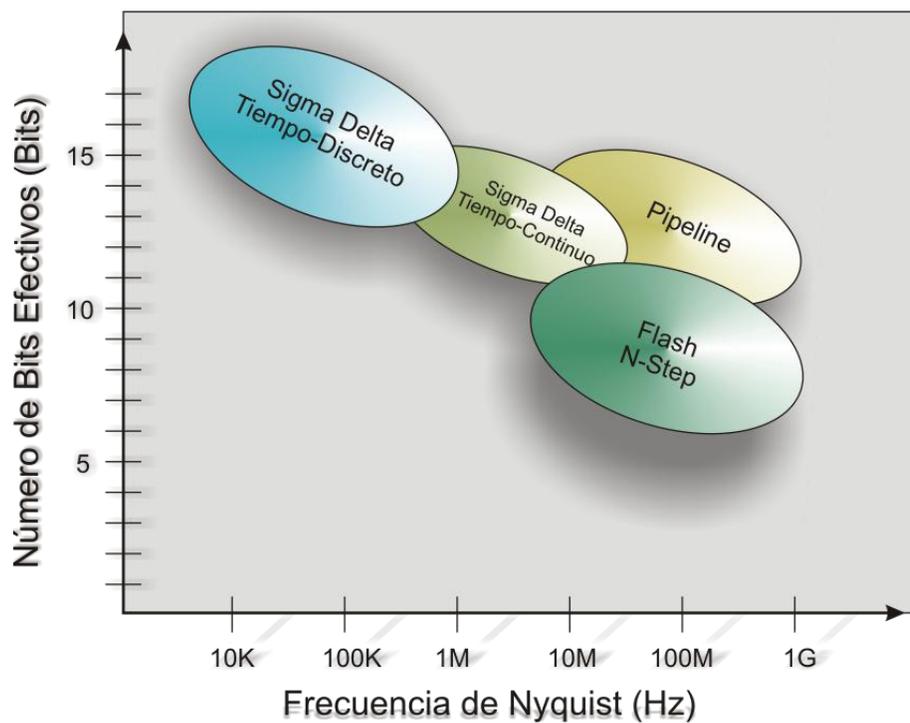


Figura 1.3 Límites de velocidad entre diversos sistemas de conversión AD.

En la Tabla 1.4 se muestra una clasificación cualitativa de los convertidores tipo AD según la velocidad de conversión.

Convertidor tipo AD	Muy rápido	Rápido	Velocidad Media	Lento	Muy lento
Velocidad de conversión	>200 MHz	1 MHz	20 KHz	1 KHz	<10 Hz

Tabla 1.4 Clasificación de los convertidores tipo AD según su velocidad de conversión.



Mientras que en la Tabla 1.5 se hace una comparación de las características más importantes de los convertidores tipo AD clasificándolos según su estructura interior mostrados en la Figura 1.3 [22].

Característica	Sigma-Delta	Pipeline	Flash
Resolución	Un aumento en la resolución requiere aumentar la combinación de elementos	Se duplican los componentes cada vez que se aumenta un bit la resolución	La cantidad de componentes limita la resolución a 8 bits aproximadamente
Tiempo de conversión vs resolución	Compromiso entre la velocidad de conversión y el ruido	Aumenta con la resolución y el número de etapas	No cambia al aumentar la resolución
Dimensión	No cambia significativamente al aumentar la resolución	Aumenta linealmente con la resolución	Aumento exponencial del tamaño y consumo con la resolución
Método de conversión	Sobre-muestreo, rechazo programable de señales de 5 Hz a 60 Hz	Pequeñas estructuras paralelas, cada etapa trabaja con uno o unos pocos bits	Utiliza $2^n - 1$ comparadores, con cada bit de resolución se multiplica por 2 el número de comparadores necesarios
Método de codificación	Modulador de sobre-muestreo, filtro de diezmo digital	Segmentación y corrección digital del error	Se compara la señal con niveles de un divisor, la salida se decodifica digitalmente
Elección de la arquitectura cuando se requiere:	Alta resolución, baja y media velocidad	Alta velocidad, velocidad de hasta 100 o más MSPS, de 8 a 16 bits de resolución, menos consumo que los tipo flash	Ultra alta velocidad sin que el consumo y el coste sean una restricción
Desventajas	Ancho de banda de entrada limitado. Baja velocidad de conversión	El paralelismo aumenta las prestaciones a costa de aumentar el consumo y la latencia	Alto consumo de potencia, códigos transitorios erróneos y meta-estabilidad, gran tamaño, alto coste

Tabla 1.5 Comparativa entre los convertidores tipo AD más comunes.



Conforme avanza la tecnología CMOS, surgen moduladores $\Sigma\Delta$ mucho más rápidos. Esto es debido a que dentro del modulador $\Sigma\Delta$ se sustituyen elementos de procesado en tiempo discreto, por elementos de procesado en tiempo continuo.

Una ventaja considerable es que los moduladores de tipo $\Sigma\Delta$ requieren de un área mucho menor que los circuitos integrados de convertidores AD de tipo Pipeline y los de tipo Flash. Además de esto, funcionan a una frecuencia superior a la frecuencia de Nyquist y consumen menos potencia para el mismo tipo de aplicación que los convertidores AD de tipo Pipeline.

El modulador $\Sigma\Delta$ emplea un filtrado de ruido y un cuantificador de baja resolución. La elevada frecuencia de muestreo junto con la etapa de filtrado y el lazo de retroalimentación hacen que el modulador conserve una resolución superior a la impuesta por el cuantificador. El modulador $\Sigma\Delta$ es un sistema no lineal debido al cuantificador que se incluye en el lazo de retroalimentación. La resolución del cuantificador y el orden de la etapa de filtrado son factores del cual depende un modulador $\Sigma\Delta$ para que sea estable. Para el problema de estabilidad no existe una solución analítica, excepto para casos particulares.

1.2 Planteamiento del problema

En muchas de las aplicaciones de procesamiento de imágenes en tiempo real, es necesario contar con cámaras que entreguen imágenes a muy alta velocidad y con formatos de imágenes por arriba de los megapíxeles.

En una cámara el retardo en el tiempo para la obtención de una imagen está fuertemente relacionado con la respuesta en la velocidad de conversión del sistema de conversión de señal AD, por lo que este último se considera como una de las etapas más



críticas en el diseño. Esto hace necesario desarrollar e incorporar en el mismo circuito integrado de la cámara un bloque de conversión analógico–digital, con tiempos de conversión en el orden de nano–segundos. El reto de diseñar un sistema de conversión de esta naturaleza, conlleva generalmente a destinar áreas de silicio muy grandes y manejar señales de reloj con frecuencias muy elevadas. Estas restricciones son muy difíciles de consolidar con las especificaciones de diseño de las matrices de fotodiodos que constituyen el bloque de captura (matriz de imagen), en donde, a su vez, viajan señales de reloj para la selección de columna, renglón, y la señal de *reset* y lectura, cuyas frecuencias son bajas generalmente y pueden ser contaminadas a través de acoplamientos capacitivos parásitos con las señales de reloj de alta frecuencia de este tipo de convertidores, con la consecuente inducción de ruido en la imagen. Por otra parte, las aplicaciones que se enfocan al procesamiento de señales provenientes de imágenes para usos industriales, requieren de resoluciones mayores a 8 bits, típicamente 12 ó 16 bits. Esto último, implica que las arquitecturas de conversión AD requieran integrar un gran número de transistores, lo que resulta en un gran consumo de área de silicio.

Un segundo enfoque de conversión analógico digital, y que es el que se abordó en esta tesis, lo constituye una arquitectura paralela de conversión de señales en la que las restricciones en cuanto al tiempo de conversión dejan de ser importantes, y con esto, se evitan los problemas del acoplamiento parásito de cargas en las líneas de control de señal, y a su vez, la disminución de consumo de energía.

En la Figura 1.4 se muestra el funcionamiento de un sensor de imagen mediante una arquitectura paralela. Precisamente una de las arquitecturas que permite contar con resoluciones de señal adecuados es la de los convertidores $\Sigma\Delta$ basados en la tecnología CMOS debido a que permiten la integración de todas las funciones necesarias para su sincronización, tratamiento del color, mejora de la imagen, compresión de imagen e integración del convertidor AD en el mismo circuito integrado.

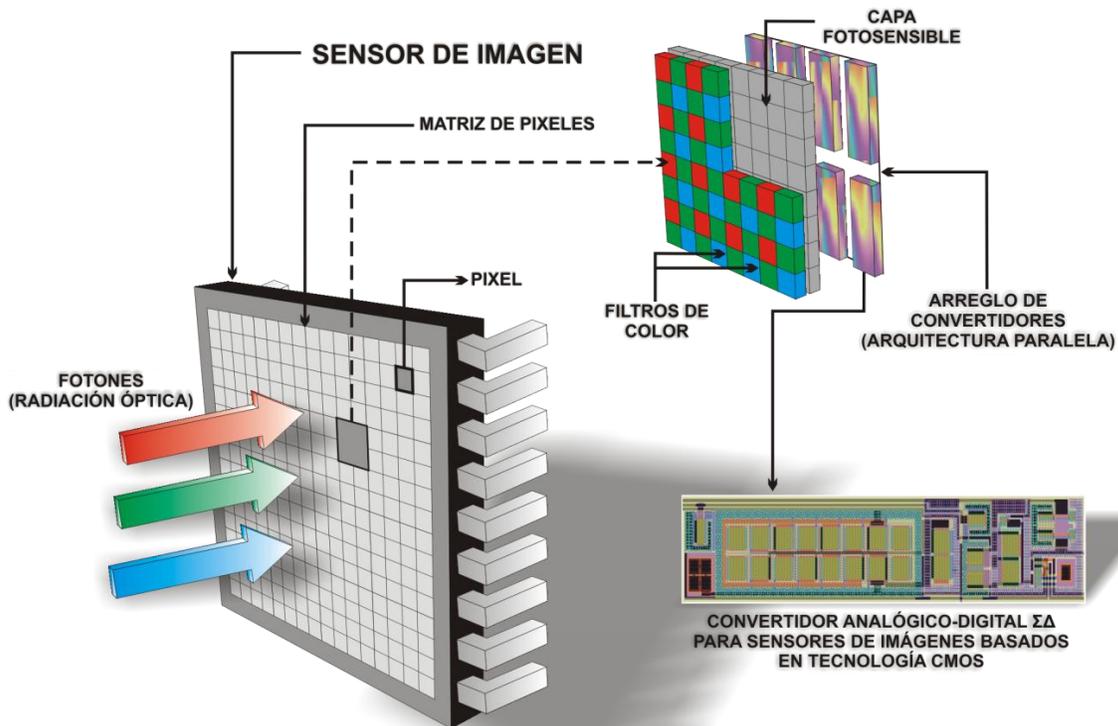


Figura 1.4 Sensor de imagen de arquitectura paralela.

Como se puede observar en la Figura 1.5, el diagrama de bloques también se constituye de un arreglo de pixeles CMOS, los cuales se pueden clasificar en dos principales grupos, los sensores de pixel pasivo (PPS) y los sensores de pixel activo (APS). En este caso particular, se emplea una matriz de pixeles para PPS, en donde cada pixel tiene sólo un elemento fotosensible (fotodiodo) y un MOSFET conmutable (ver Figura 1.6), donde G_x utiliza una compuerta de carga, conmutando el contenido del pixel al amplificador de integración de carga (AIC) que se encuentra en la salida de cada columna. Por otra parte, cabe mencionar que los APS son sensores de imágenes nuevos que tienen amplificadores implementados en cada pixel; esto significativamente mejora los parámetros de ruido. En la Figura 1.7 se observa un arreglo matricial de 3×3 pixeles, y en

donde cada uno de los pixeles es seleccionado por la lógica de direccionamiento X y Y a un convertidor AD.

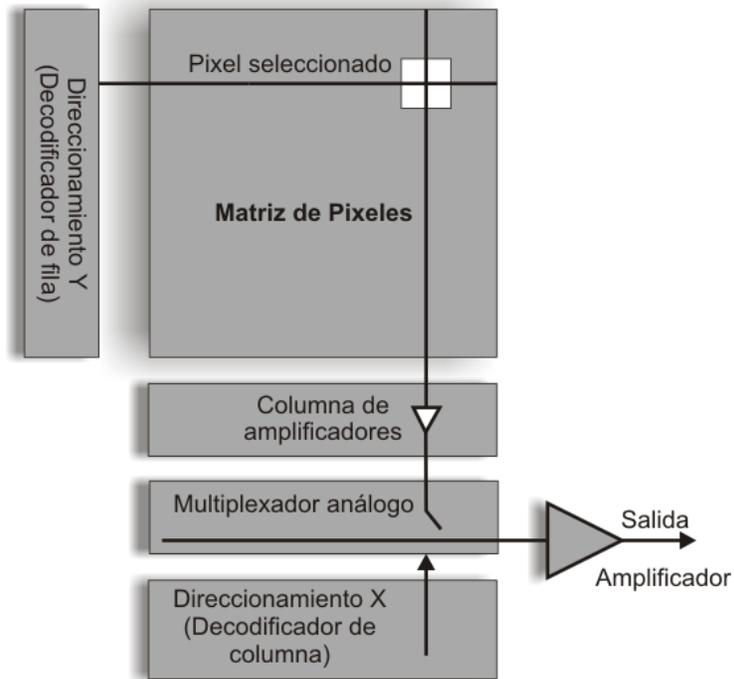


Figura 1.5 Diagrama de bloques de un chip sensor de imágenes basado en tecnología CMOS.

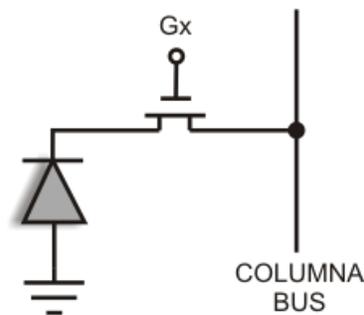


Figura 1.6 Estructura del Sensor de Pixel Pasivo (PPS).

Los sensores CMOS de pixel pasivo convencionales operan como una DRAM analógica (ver Figura 1.7) y ofrecen las ventajas de un acceso aleatorio a cada pixel

individual, además de un nivel de ruido relativamente bajo y sensibilidad reducida en comparación con los sensores CCD de última generación.

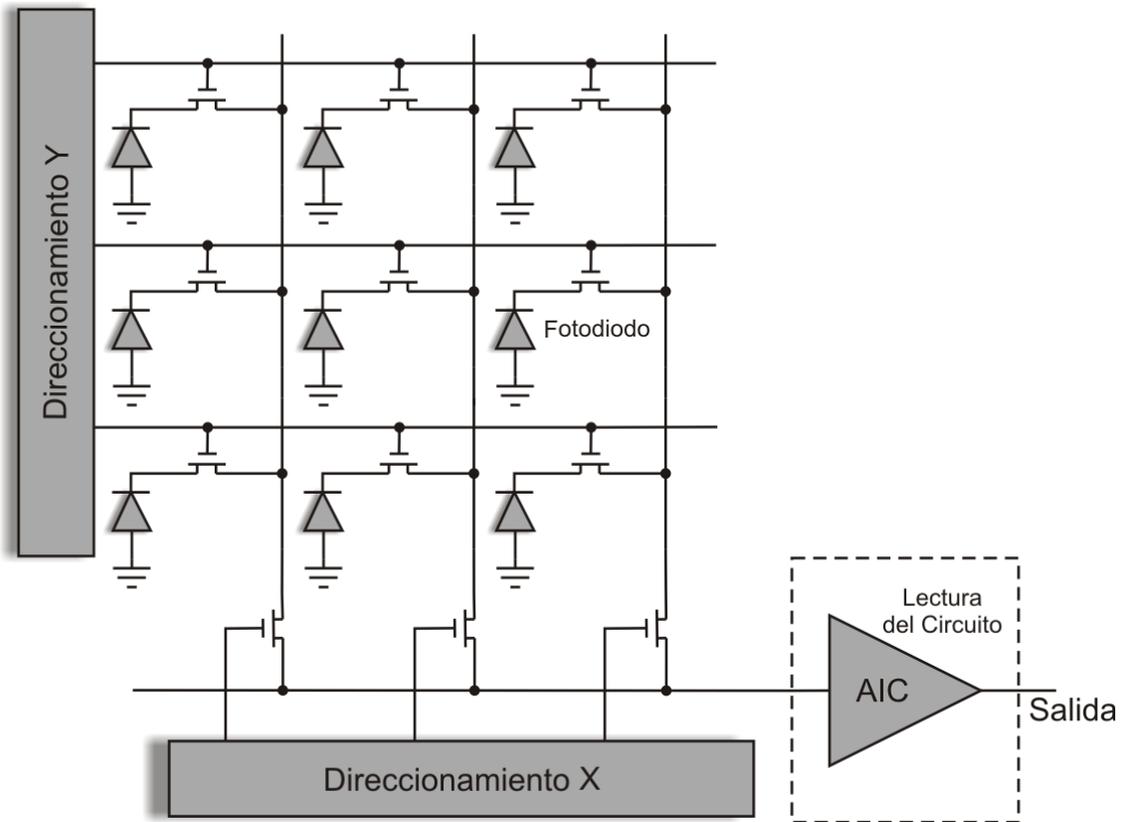


Figura 1.7 Arquitectura básica de un PPS.

Para la implementación de los PPS con arquitectura paralela, se emplea un convertidor AD $\Sigma\Delta$ para cada columna en el arreglo de pixeles, como se muestra en la Figura 1.8. La entrada del convertidor está localizada en la parte posterior del sensor, lo que da como ventaja el empleo de un sólo transistor de direccionamiento, además de mantener un voltaje constante en la línea de la columna. Para restablecer el fotodiodo a una polarización inversa se emplea el voltaje V_{ref} y tras el reinicio, el interruptor se abre, en el tiempo de integración. Durante este periodo de integración, el fotodiodo libera la

carga acumulada en su capacitancia interna a una tasa proporcional aproximadamente a la radiación óptica que incide en la matriz de pixeles.

Por otro lado, cuando el interruptor se cierra para restablecer el fotodiodo provoca que una corriente fluya a través de la resistencia y el capacitor de la línea de la columna a consecuencia de la diferencia de potencial entre el voltaje en el fotodiodo y V_{ref} . La carga que se integra en el capacitor C_{in} es la carga total que fluye para restablecer el pixel (y que es igual a la que se descarga durante el periodo de integración). Cuando la carga se integra en C_{in} la fotocorriente se traduce a voltaje. Cuando el último renglón de la matriz de pixeles y el voltaje del fotodiodo vuelven a V_{ref} a través del integrador, el interruptor de dirección se apaga y el voltaje a través de C_{in} es removido por el transistor de restablecimiento (*reset*), y el proceso de integración inicia de nuevo.

Una desventaja de los PPS es, que presenta algunos problemas debido a sus grandes cargas capacitivas provocadas por la línea larga de la columna conectada directamente a cada pixel durante la lectura.

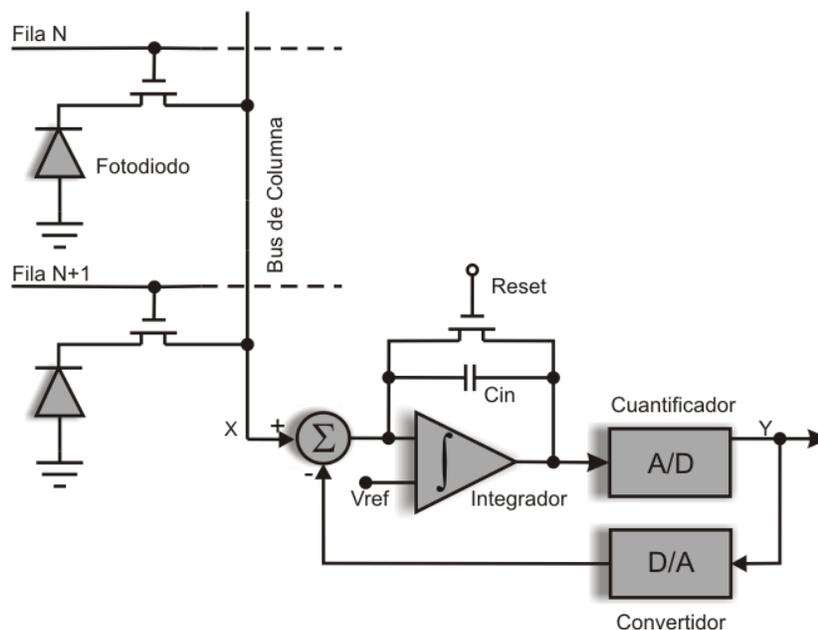


Figura 1.8 Implementación de un PPS con un convertidor AD $\Sigma\Delta$ para cada columna en la matriz de pixeles.



Por sus características, los convertidores AD $\Sigma\Delta$, son compatibles con la metodología de diseño de sensores de imágenes en tecnología CMOS, porque pueden ser diseñados procurando ocupar el menor espacio y adecuarlos al paso de los píxeles. Esto es, debido a que típicamente los píxeles pasivos ocupan dimensiones del orden de las micras (4×4 micrómetros, por ejemplo), es posible implementar el diseño geométrico (*layout*) en un formato rectangular que ocupe dimensiones adaptables a una matriz de píxeles y, con esto, poder plantear un esquema paralelo de conversión, en el que se pueda llevar a cabo la conversión de señal de un renglón en menor tiempo. Evidentemente, esto es factible si se consideran reglas de diseño de circuitos integrados menores o igual a 0.5 micras. En esta tesis, se utilizó la tecnología AMI 0.5, con dos niveles de poli-silicio, tres niveles de metal, pozo tipo n.

1.3 Justificación de la tesis

El campo de visión por computadora se nutre de los avances de los dispositivos de captura de imágenes. Las empresas dedicadas al desarrollo de cámaras para aplicaciones industriales y de consumo masivo, continuarán ofreciendo sistemas de visión basados sensores de imágenes en tecnología CMOS con mejores desempeños. Es por esta razón, y motivados en la formación de recursos humanos en el área de diseño analógico VLSI, que se plantea aportar conocimiento y experiencia en el desarrollo de estos dispositivos de última generación, enfocándose al desarrollo de una de las etapas críticas del diseño de sensores de imágenes en tecnología CMOS, integrando los conocimientos y habilidades adquiridos a través del Programa de la Maestría en Ciencias en Ingeniería de Cómputo del Centro de Investigación en Computación.



El desarrollo de esta tesis fue viable, debido a que la tecnología utilizada, es factible de fabricarse a precios accesibles, a través del servicio de fabricación que ofrece la organización MOSIS (ver la dirección web: www.mosis.org).

Existen varias razones por las que se propone el uso de convertidores AD $\Sigma\Delta$. Primero, los convertidores AD $\Sigma\Delta$ permiten obtener una mejor resolución de señal debido a que el número de bits típico de éstos es de 10-18 bits. Esto permite que se aproveche la sensibilidad que presentan los fotodetectores. Al aumentar el número de bits del convertidor, se disminuye el error debido a la cuantificación de la señal. En segundo lugar, se puede relajar el diseño del filtro *anti-aliasing*, debido a que el ancho de banda del filtro no necesita tener una banda de transición tan exacta. En tercer lugar, el ruido de cuantificación también se disminuye conforme aumenta la frecuencia de sobre-muestreo. Sin embargo, hay que cuidar que el mismo diseño de la electrónica no contribuya a agregar errores al momento de cuantificar la señal. Por ejemplo, el diseño topológico del circuito puede influir a agregar errores debido al desacople entre transistores, o se pueden agregar capacitancias parásitas, lo que disminuye el ancho de banda del convertidor, y por lo tanto se llega a disminuir la frecuencia de sobre-muestreo. Debido a que la frecuencia de sobre-muestreo es mayor a la frecuencia de Nyquist, generalmente los convertidores AD $\Sigma\Delta$ no convierten señales de frecuencias muy altas. Pero se gana en resolución y además se puede ganar en el área de silicio empleada para el diseño del convertidor, además, existen diseños de este tipo de circuitos en donde el consumo de potencia es bajo y/o el voltaje de alimentación también es bajo (sobre todo para diseños con transistores con tecnologías del orden de nanómetros).

En la etapa de conversión AD de la señal es necesario realizar un filtrado *anti-aliasing*, debido a que en una señal normalmente viene con armónicas, y es necesario eliminar por medio de un filtro pasa-bajas. Para convertidores AD de Nyquist el diseño del filtro es crítico debido a que la banda de transición de este debe ser muy abrupta. Sin



embargo, de acuerdo a lo que se acaba de describir, en un convertidor AD $\Sigma\Delta$ se puede relajar este diseño. A continuación, es necesario agregar un circuito de muestreo y retención. Posteriormente, se agrega un cuantificador, en el caso de este trabajo es un modulador $\Sigma\Delta$ de primer orden, después generalmente se implementa un filtro digital que disminuye el error de cuantización (en el caso del convertidor AD $\Sigma\Delta$ se necesita emplear un circuito de filtrado *decimador*). Finalmente, se necesita de un codificador. En este trabajo sólo se realizó únicamente el diseño del modulador $\Sigma\Delta$ del convertidor. Esto, sin embargo, no es una tarea trivial debido a que además de hacer pruebas de análisis y diseño del modulador, es necesario emplear técnicas adecuadas para el diseño topológico.

1.4 Objetivo general

Diseñar e implementar un sistema de conversión de señal Sigma-Delta aplicable a un sensor de imágenes en tecnología CMOS.

1.4.1 Objetivos particulares

1. Diseñar un convertidor de señal que pueda ser implementado en el mismo sustrato de una matriz de pixeles activos, proyectado para una tecnología de fabricación CMOS de 0.5 micras.
2. Diseñar un convertidor de señal con una topología compatible con un paso de pixel (*pixel-pitch*) típico de sensores de imágenes desarrollados con tecnologías sub-micrométricas.
3. Describir el desempeño del convertidor de señal a nivel de simulación eléctrica, considerando la extracción de parásitos.
4. Describir la dinámica resultante del convertidor de señal con base en la función de transferencia de los bloques funcionales resultantes.



1.5 Alcances del trabajo

En el presente trabajo de tesis se desarrolló un convertidor de señal AD que puede permitir la implementación de un sistema de conversión de señal con cierto nivel de paralelismo, compartiendo el mismo sustrato de un sensor de imágenes en tecnología CMOS.

El diseño geométrico se realizó optimizando la cantidad de área de sustrato utilizada, procurando disminuir la complejidad del sistema. Además, el diseño geométrico permitió el bloqueo de la luz incidente a las áreas activas del convertidor, mediante una de las capas de metal disponibles en la tecnología para evitar así la generación de efectos de *latch-up*.

Se finalizó el trabajo realizando el diseño topológico del circuito, y se generó un archivo en formato GDS que podrá ser utilizado para la fabricación la celda desarrollada, sin violar las reglas de diseño. Finalmente, también se comprobó la conectividad de los transistores realizando un análisis que compara el diagrama esquemático incluyendo los elementos parásitos que resulta del diseño geométrico, con el diagrama esquemático ideal: *Layout Versus Schematic (LVS)*.

1.6 Contribuciones

Las principales contribuciones al conocimiento que se lograron con la realización de esta tesis son:

- I) Se realizó un análisis de la etapa de modulación $\Sigma\Delta$ utilizando simulink.



II) Se logró el diseño del circuito convertidor AD $\Sigma\Delta$ en tecnología CMOS, con una complejidad reducida, compatible con los niveles reducidos de corriente típicos de pixeles de tipo fotodiodo.

III) Se realizó el diseño del esquema topológico (*layout*) del convertidor AD $\Sigma\Delta$, sin violar las reglas de diseño del proceso CMOS de 0.5 micrómetros, cuidando ocupar la menor área posible.

También cabe mencionar que durante la realización de esta tesis, se utilizaron las diferentes herramientas de diseño de circuito integrados de propósito específico, se siguió la metodología de diseño de circuitos integrados y, finalmente, se utilizó la teoría que soporta a los sistemas electrónicos CMOS analógicos y la teoría de los convertidores AD $\Sigma\Delta$.

1.7 Metodología de investigación y desarrollo utilizado

El trabajo se abordó haciendo uso de las técnicas de diseño de circuitos integrados de señal mezclada. Se modeló el sistema mediante el uso del simulador de circuitos PSpice y de la herramienta de diseño geométrico L-EDIT. Las geometrías de los transistores se calcularon procurando que la configuración de los transistores fuera la más simple posible.

1.8 Organización del trabajo

El presente trabajo de tesis se divide en 6 capítulos, los cuales presentan el contenido siguiente:



Capítulo 1. Introducción. En este capítulo se presentan los antecedentes en relación a la tecnología CMOS, el planteamiento del problema, justificación, los objetivos generales y particulares, además, de los alcances de la tesis.

Capítulo 2. Estado del arte. En este capítulo se presenta el estado del arte del diseño de sensores de imágenes en tecnología CMOS y de los convertidores de señal $\Sigma\Delta$ y algunos de los desarrollos que ya han sido realizados en relación al presente trabajo de tesis.

Capítulo 3. Marco teórico. En este capítulo se presenta el conjunto de conceptos y teorías que se utilizaron para desarrollar la tesis. Se explica el funcionamiento de un convertidor analógico–digital con modulación sigma–delta (AD $\Sigma\Delta$).

Capítulo 4. Modelo propuesto. En este capítulo se explica el modelo propuesto, la metodología y desarrollo de la investigación para llegar a la obtención del diseño topológico (*layout*) de la arquitectura propuesta en esta tesis.

Capítulo 5. Pruebas y resultados. En este capítulo se muestran las simulaciones realizadas con la arquitectura propuesta (diagrama esquemático), así como los resultados alcanzados de la extracción del diseño topológico (*layout*), mostrando una comparativa entre ambos resultados.

Capítulo 6. Aspectos finales. En este capítulo se comentan los resultados obtenidos a través de las simulaciones, justificando cada uno de los objetivos propuestos en la tesis. Además se mencionan los trabajos futuros en relación al presente trabajo de tesis.



CAPÍTULO 2.

ESTADO DEL ARTE

En este capítulo se presentan un resumen de algunas de las investigaciones que se han desarrollado de los convertidores AD $\Sigma\Delta$ utilizando tecnología CMOS que se utilizaron en arreglos de fotosensores, además de que se muestran los resultados que ofrecen estas investigaciones. Por último, se presenta la propuesta del presente trabajo de tesis mediante tres bloques (integrador, cuantificador y un convertidor DA) en el diagrama electrónico del convertidor AD $\Sigma\Delta$.

2.1 Trabajos relacionados con el presente trabajo

2.2 Resultados que ofrecen los trabajos

2.3 Propuesta del presente trabajo de tesis

2.4 Resumen del capítulo



CAPÍTULO 2 Estado del arte

2.1 Trabajos relacionados con el presente trabajo

El trabajo que desarrollaron los investigadores del laboratorio de sistemas de información de la Universidad de Stanford por David X. D. Yang y Boyd Fowler en 1996 titulado “A 128x128 CMOS Image Sensor with Multiplexed Pixel Level AD Conversion” [24] se basa en desarrollar un sensor de imagen de área de pixel CMOS de 128x128 con un convertidor AD sigma delta ($\Sigma\Delta$) con grupos de 2x2 pixeles. En este trabajo cada pixel se constituye de un fotodiodo y 4 MOSFETs los cuales ocupan un área de 20.8 μm \times 19.8 μm con un factor de llenado del 30% en un proceso CMOS de 0.8 μm con una capa de polisilicio y tres capas de metal.

Las características de la arquitectura son las siguientes: voltaje de operación de 3.3V, su rango dinámico es mayor a 83dB, su disipación es menor a 1mW y el ruido de patrón fijo (*fix pattern noise*) es aproximado de 1%. Este trabajo supera algunas limitaciones de los trabajos que anteriormente se habían propuesto (con una aproximación de conversión AD de nivel de pixel utilizando la modulación $\Sigma\Delta$ por parte de los mismos investigadores). Para reducir el tamaño del pixel y mejorar el factor de llenado, se compartió el convertidor AD $\Sigma\Delta$ entre cuatro pixeles vecinos a través de un multiplexor. Además de esto, se ahorraron más transistores con el uso de un circuito que realiza un corrimiento de registros (*shift register*) analógico para la implementación del convertidor DA. En el diseño original, se emplearon 8 transistores tipo MOS para el convertidor DA comparado con los únicos tres para el nuevo diseño y, finalmente, se utilizó un fotodiodo en lugar de un fototransistor, el cual redujo el ruido de patrón fijo. En la Figura 2.1 se muestra el diagrama del bloque funcional del sensor de imagen.

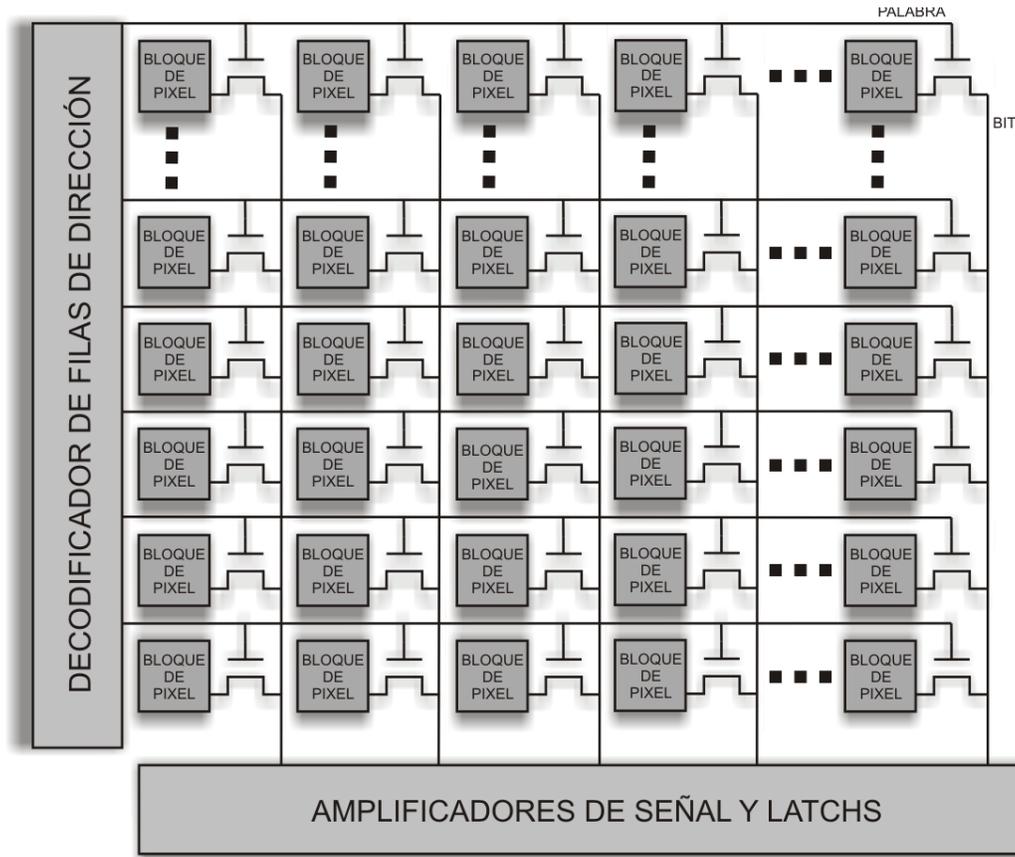


Figura 2.1 Diagrama de bloques de un convertidor AD aplicable en un sensor de imagen.

El trabajo desarrollado por los investigadores P. M. Silva, V. Correia, S. Lanceros Méndez y J. G. Rocha de la universidad de Minho titulado “Sigma-Delta A/D Converter for CMOS Image Sensors” [32] en el cual se describe un circuito de lectura de una matriz de pixeles para la detección de imágenes y se compara con otro tipo de circuitos. El circuito de lectura por pixel consiste en una matriz de pixeles de sensor digital que se constituye por un fotodiodo y un convertidor analógico-digital sigma-delta de primer orden de un bit para cada pixel. El convertidor AD únicamente utiliza 10 MOSFETs de dimensiones pequeñas además de un capacitor. La comparación entre la solución que se presenta en esta investigación con otras soluciones muestran que la complejidad del

circuito es similar, sin embargo, en cuanto al rendimiento, en términos de relación señal-ruido, es superior.

Para esta investigación, en un diagrama de bloques de un sensor de imagen con nivel de pixel A/D, cada bloque de pixel está constituido por un convertidor AD y un fotodetector. Además de que en el mismo dado (*die*) se integra un bloque de lógica de control y sincronización, pero fuera de la matriz de pixeles. Esta arquitectura permite diferentes modos de lectura de la imagen, los cuales incrementan las tasas de acceso a áreas de interés del arreglo y permite relaciones de sobre-muestreo variable, permitiendo un incremento en la velocidad de lectura a resoluciones pequeñas. El direccionamiento de una columna de un arreglo de pixel se lleva a cabo utilizando señales de reloj de desplazamiento de fase y gracias a esto, cada bloque de pixel de la misma línea puede estar conectado a la misma línea de salida. La comunicación entre cada pixel y la salida de la matriz se lleva a cabo en forma de corriente, toda vez que el pixel envía un uno lógico, un pulso de corriente se inyecta en la línea de salida. El ciclo de trabajo de una señal de reloj es $(1/N) \times 100\%$, donde N representa la cantidad de bloques de pixel de cada columna. El diagrama del circuito del bloque de pixeles basado en el convertidor $\Sigma\Delta$ de primer orden se muestra en la Figura 2.2.

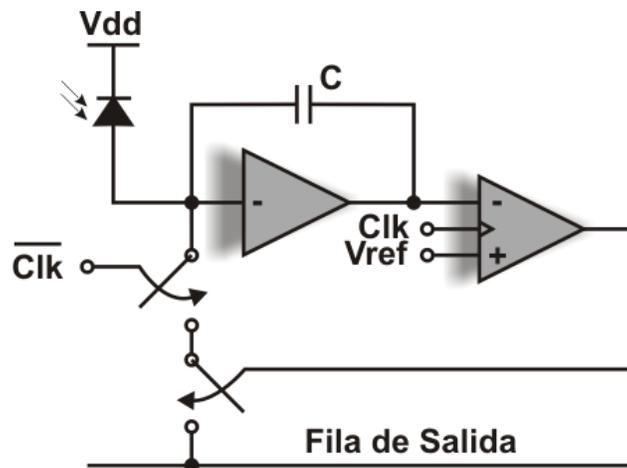


Figura 2.2 Bloque de pixel.

El funcionamiento es el siguiente, cuando una imagen es enfocada en los detectores ópticos, el convertidor $\Sigma\Delta$ comienza la conversión y los resultados son leídos en todas sus líneas simultáneamente. La frecuencia de sobre-muestreo se fija por el número de bits de salida (SNR). En esta aplicación concreta, una vez que la señal de entrada tiene variaciones de tiempo bajas y una vez que el ancho de banda permitido por el circuito, es mucho más grande que el ancho de banda que se necesita para la medida de la intensidad de luz. Por último, los valores digitales del modulador $\Sigma\Delta$ son reconstruidos mediante un filtro *decimador*, el cual puede ser implementado mediante la programación de un microcontrolador o un FPGA. El circuito esquemático del bloque que constituye un pixel se muestra en la Figura 2.3.

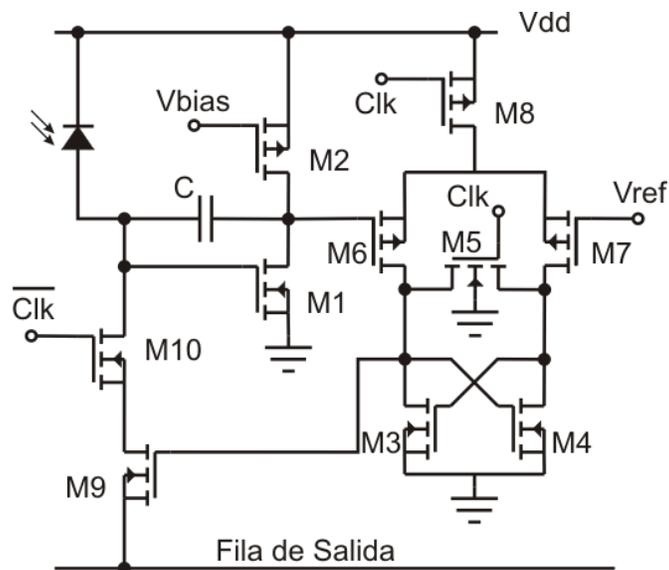


Figura 2.3 Circuito esquemático del bloque que comprende un pixel.

El circuito esquemático consta básicamente de tres secciones principales, el integrador, el comparador y el convertidor DA de 1 bit. El integrador se basa en un amplificador de fuente común, donde un capacitor está conectado desde su entrada a la salida. Esta configuración constituye un integrador Miller, el cual realiza una multiplicación de la capacitancia dada por $C_M = C(1 - A_V)$. Donde A_V representa la

ganancia del amplificador. Con esta técnica, se logró un buen desempeño aún con capacitancias pequeñas (del orden de 0.1pF).

En la Figura 2.4 se puede observar la gráfica que muestra el voltaje de salida del integrador para fotocorrientes de 10nA y 100nA. El ajuste lineal de las curvas de 10nA y 100nA resulta en coeficientes de Pearson de -0.9999979 y -0.99999929 respectivamente. Además, se puede señalar que el integrador no necesita ser lineal para el desempeño correcto del convertidor. Sin embargo, en el artículo se menciona que utilizando un integrador lineal la SNR sería alta.

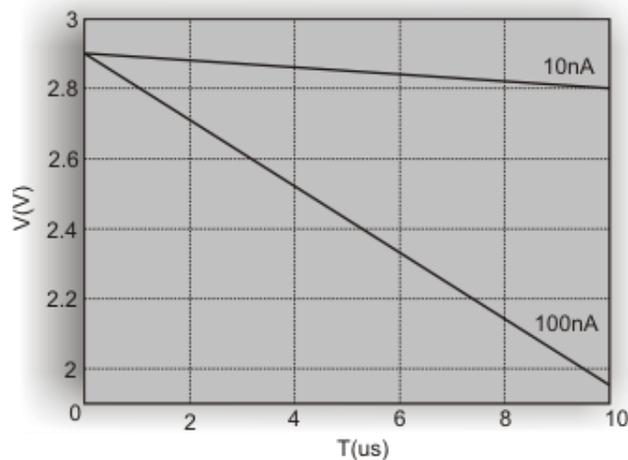


Figura 2.4 Voltaje de salida del integrador durante un periodo de reloj y corrientes de entrada de 10nA y 100nA.

En la sección del comparador, los transistores M6 y M7 deben ser iguales, los cuales constituyen el par diferencial que amplifica la diferencia de voltaje entre el voltaje del integrador y el voltaje de referencia. La diferencia se almacena utilizando un par cruzado acoplado por los transistores M3 y M4, los cuales trabajan como un *latch*. El desempeño del comparador se muestra en la gráfica de la Figura 2.5. Para un voltaje de referencia de 1.5V y un voltaje de entrada aleatorio. La gráfica muestra que a cada caída baja la transición del reloj, el voltaje de salida del comparador sube si el voltaje de entrada

es menor que el voltaje de referencia y baja si el voltaje de entrada es mayor que el voltaje de referencia. Además, también se puede mencionar que la señal de reloj tiene un periodo de $1\mu\text{s}$ y un ciclo de trabajo del 99%, originando el 1% de ciclo de trabajo de la señal de salida.

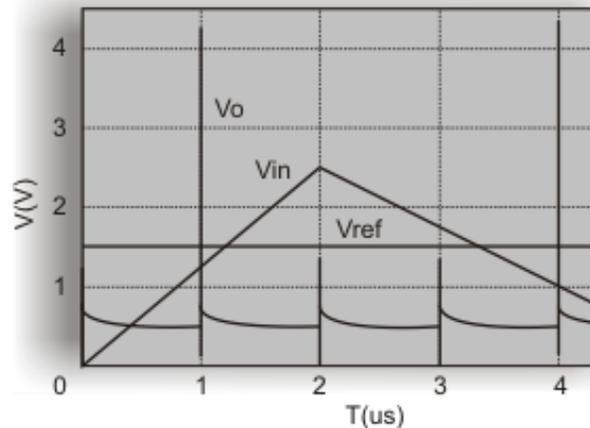


Figura 2.5 Forma de onda de salida del comparador para un V_{in} elegido aleatoriamente y $V_{ref} = 1.5\text{V}$.

En el circuito que se reporta en este artículo, se recomienda utilizar una señal de reloj con muy alto ciclo de trabajo debido a que durante la comparación (a un nivel bajo de reloj), la señal de entrada debe ser aproximadamente constante.

Por último, la sección del convertidor DA de 1 bit se compone por los transistores M9 y M10, los cuales realizan una operación lógica AND entre la señal de salida del comparador y la señal complementaria del reloj. Por lo tanto, cuando la señal del reloj es baja, y la salida del comparador es alta, el capacitor es descargado y un pulso de corriente es inyectado en la línea de la fila de salida. De esta forma, la estructura del esquema evita la necesidad de un multiplexor/registro de corrimiento para el direccionamiento del pixel y permite el direccionamiento de sólo una pequeña parte de la matriz.

Asimismo, el trabajo que lleva por nombre “Diseño de un Convertidor Análogo-Digital Integrado Tipo Paralelo” [27] realizado por los investigadores Iván Jaramillo y Antonio García de la Universidad Nacional de Colombia (GMUN) y del Centro de Microelectrónica de la Universidad de los Andes (CMUA) respectivamente, presentan el desarrollo de un convertidor AD tipo paralelo, con técnicas de doblado (*folding*). Este trabajo presenta mejoras en cuanto a la reducción de área y complejidad en su arquitectura, comparado con una configuración de convertidor ordinaria. La forma de operar de este sistema considera que una señal analógica se procesa antes de ser comparada, es decir, el proceso de la señal analógica se hace en un ciclo de reloj y en un segundo ciclo de reloj se hace la comparación de la señal procesada. Para determinar el rango en el que se encuentra la señal se debe tomar la señal analógica y procesarla. En la Figura 2.6 se muestra el diagrama a bloques de este proceso, el cual ayuda a la reducción de área y de componentes.

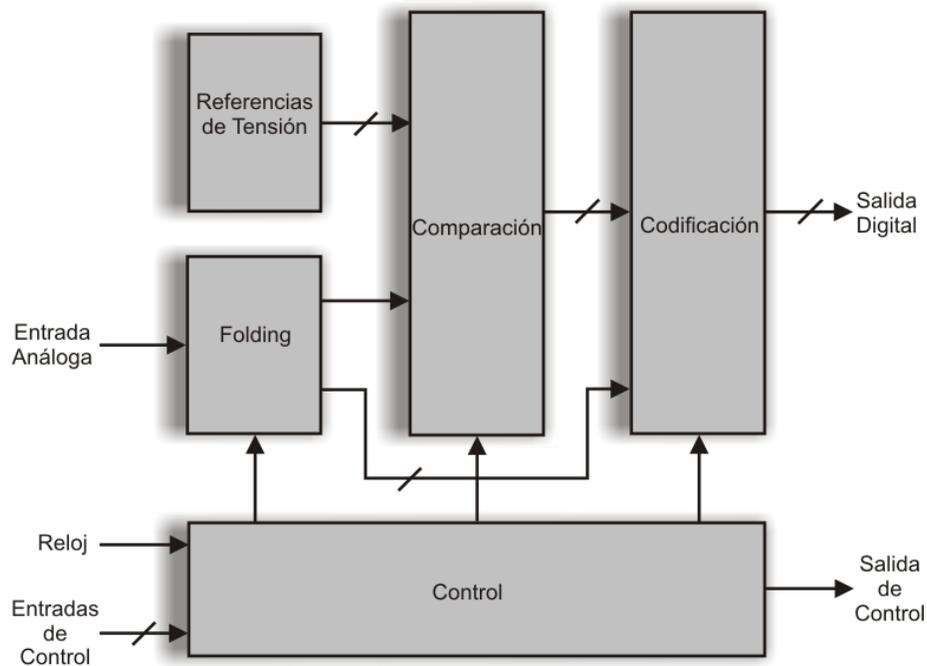


Figura 2.6 Diagrama de bloques de un convertidor AD tipo paralelo con técnicas de doblado.

En la Figura 2.7 se puede observar un conjunto de comparadores y convertidores de nivel. En donde la salida de los comparadores determina en cuál de los cuatro rangos de tensión analógica se encuentra la señal de entrada, en ese mismo lapso de tiempo, un nivel DC es sumado a la señal analógica a través de los convertidores de nivel. Posteriormente, una lógica combinatoria determina cual convertidor de nivel debe entregar la señal al *buffer* de salida, esta señal debe estar en un rango de tensión de 1.9V.

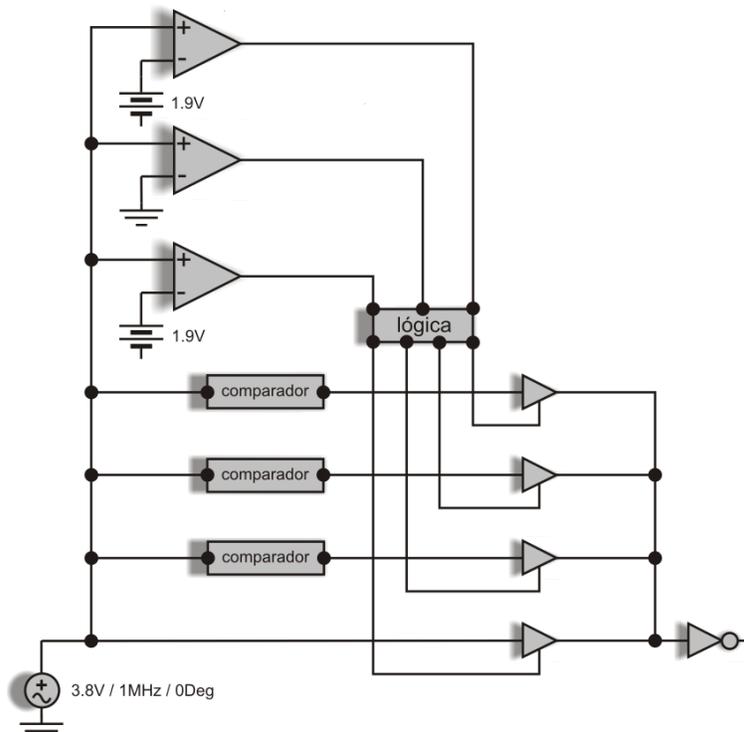


Figura 2.7 Diagrama en bloque de doblado.

Por otra parte, el diseño utiliza un comparador pseudo-analógico, el cual representa un bloque que combina los elementos digitales para crear estructuras analógicas. Este diseño es más complicado que un comparador analógico común, sin embargo tiene algunas ventajas funcionales, tales como alta velocidad de cambio (*slew rate*) (SR), bajo corrimiento de voltaje (*offset*), bajo nivel de histéresis y una fácil implementación

como celda analógica dentro de un circuito integrado. En la Figura 2.8 se muestra el comparador pseudo-analógico utilizado.

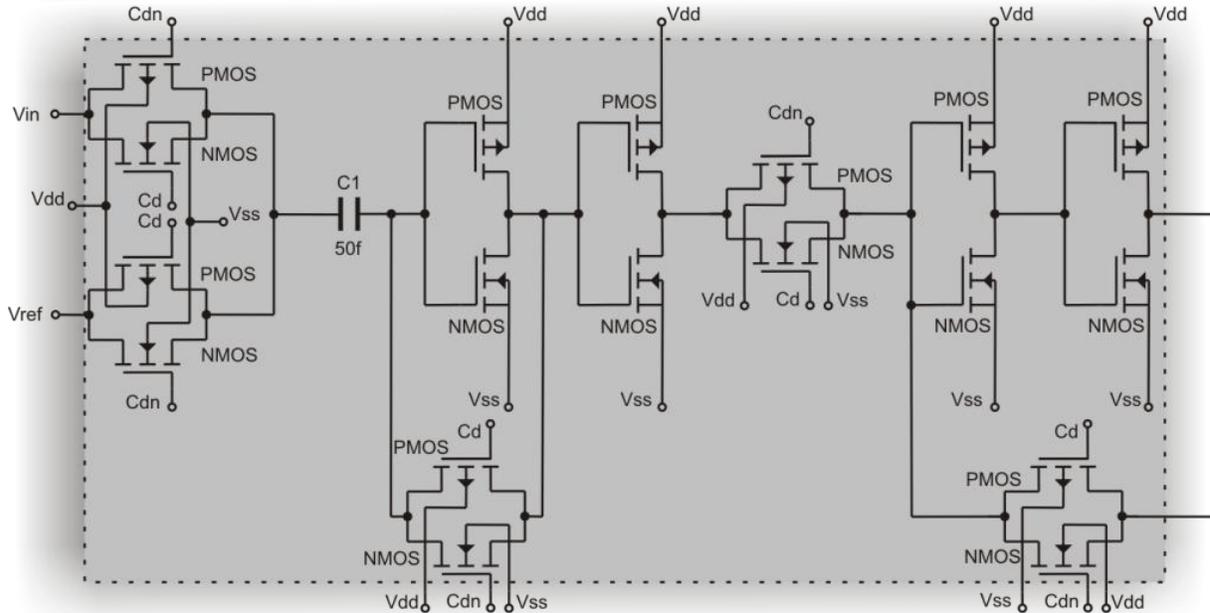


Figura 2.8 Comparador pseudo-analógico.

Como puede observarse, el comparador está constituido por un capacitor que retiene la diferencia de carga entre la referencia de tensión y la señal analógica que ha sido procesada, a través de un par de multiplexores controlados por un pulso de control.

2.2 Resultados que ofrecen los trabajos

Del trabajo desarrollado por David X. D. Yang y Boyd Fowler se obtuvieron las características del sensor de imagen de área que se presentan en la Tabla 2.1.



Características del sensor de imagen de área 128x128	
Tecnología	0.8 μ m, 3-capas de metal, 1capa de polisilicio, pozo-n CMOS
Área del dado	3337 μ m \times 3200 μ m
Área del pixel	20.8 μ m \times 19.8 μ m
Transistor por pixel	4.25 (17 por cuatro pixeles)
Factor de llenado	30%
Paquete	65 pin PGA
Voltaje de alimentación	3.3 V
Rango dinámico	83 dB
Pads de disipación w/o	< 1 mW
Ruido de patrón fijo	\approx 1%
Medición de la temperatura	21°C

Tabla 2.1 Características del sensor de imágenes de área 128 \times 128.

Las mejoras que se obtuvieron con este trabajo fue la reducción del tamaño del pixel y un incremento en el factor de llenado del 30%, además el ruido de patrón fijo se redujo al 1%. Compartiendo los componentes del circuito en un bloque de pixel, no sólo reduce el tamaño del pixel sino también incrementa ligeramente el convertidor AD de manera uniforme.

El diseño desarrollado por P. M. Silva, V. Correia, S. Lanceros Méndez y J. G. Rocha describe las lecturas electrónicas para un sensor de imagen basado en tecnología CMOS. Cada bloque fue constituido por un fotodetector CMOS y un convertidor $\Sigma\Delta$ diseñado únicamente por 10 MOSFETs. Además de que la salida del sensor de imagen es un flujo de bits que permite el cálculo simple de interconexión. A pesar de que los convertidores $\Sigma\Delta$ que se diseñaron para este proyecto muestran una arquitectura muy simple, se obtuvieron ventajas relativas comparadas con otros dispositivos de interfaz utilizados para el mismo propósito. Ejemplo de ello es el ruido que se integra con la señal y que posteriormente se filtra digitalmente. Esto significa que, excepto por su pequeña cantidad de ruido en el ancho de banda de señal, el ruido puede ser eliminado por el dispositivo, además, de que su circuito de lectura es relativamente sencillo y la



compatibilidad con un proceso CMOS estándar permite su uso en sensores de imágenes. Las características del convertidor se pueden observar en la Tabla 2.2.

Características del sensor de imagen basado en tecnología CMOS	
Voltaje de referencia	1.5v
Periodo de la señal de reloj	1 μ s
Ciclo de trabajo de una señal de reloj	(1/N) \times 100%
Ciclo de trabajo	99%
Ciclo de trabajo de la señal de salida	1%
Capacitancias	0.1pF
Voltaje de salida del integrador para fotocorrientes	10nA y 100nA
Coefficiente de Pearson del ajuste lineal de la curva de 10nA	-0.9999979
Coefficiente de Pearson del ajuste lineal de la curva de 100nA	-0.999999929

Tabla 2.2 Características del convertidor $\Sigma\Delta$ diseñado con 10 MOSFETs.

Del trabajo de Iván Jaramillo y Antonio García se obtuvieron los datos técnicos que se muestran en la Tabla 2.3.

Características del convertidor AD tipo paralelo	
Voltaje de Polarización	\pm 5V
Reloj Externo	5MHz
Voltaje de Entrada Analógica	-3.8V, 3.8V
Ajuste Total de Error	$\pm \frac{1}{2} LSB$ y $\pm 1 LSB$
Tiempo de Conversión	400ns
<i>Slew rate</i> de la señal de entrada	592mV/ μ s
Resolución	5 bits
Salida	Tercer estado
Temperatura	0°C a 70°C
Área Total	8.6mm ²

Tabla 2.3 Características del convertidor AD integrado tipo paralelo.

Al utilizar técnicas pseudo-analógicas y de doblado para el desarrollo de un convertidor AD tipo paralelo puede presentar varias ventajas en el diseño de estructuras analógicas complejas en comparación con convertidores AD de tipo paralelo simple.

Además de esto en este trabajo podemos observar que el diseño de estructuras analógicas se puede realizar con técnicas de diseño digital, como es el caso del comparador.

2.3 Propuesta del presente trabajo de tesis

La propuesta que se presenta en esta tesis, consiste de un diseño que utiliza tres bloques: a) un integrador que utiliza un amplificador de par diferencial; b) un comparador que utiliza un circuito de decisión junto con un *buffer* que está constituido por dos inversores en cascada; c) un convertidor digital/analógico de 1 bit constituido por un capacitor conmutable. Ver la Figura 2.9. Como se ha mencionado anteriormente, con esta propuesta se desarrolló una arquitectura adecuada del circuito de conversión de señal para que pueda ser empleada en el mismo sustrato de una matriz de pixeles.

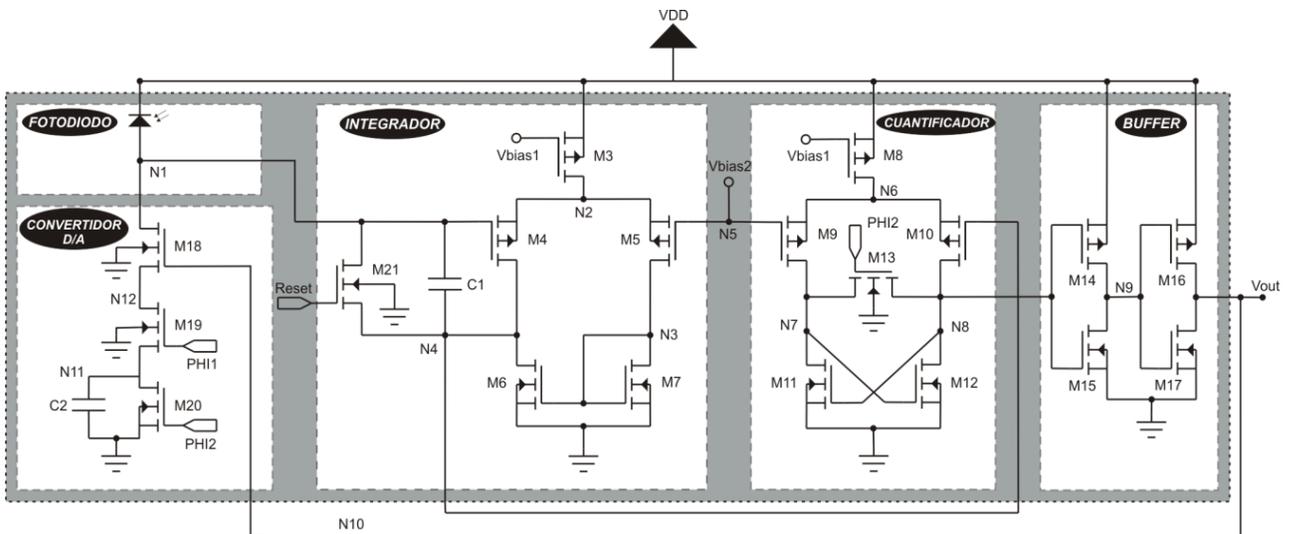


Figura 2.9 Diagrama electrónico del convertidor AD $\Sigma\Delta$ propuesto.



2.4 Resumen del capítulo

En este segundo capítulo se menciona que los convertidores AD $\Sigma\Delta$ se han desarrollado utilizando la tecnología CMOS a través de distintas arquitecturas. De igual forma, se describen las características de tres diferentes arquitecturas y estructuras funcionales (diagramas de bloques) propuestas para la conversión de señales aplicadas en sensores de imágenes. Las propuestas presentadas en este capítulo se encuentran dentro de la literatura reciente, donde se muestran diferentes técnicas y circuitos esquemáticos que pretenden mejorar el rendimiento de un sensor de imagen considerando la menor área de dado posible utilizada y con una tensión de alimentación baja, además de la disminución de dispositivos empleados en los circuitos. Tales características se pueden observar en las tablas donde se describen los resultados que presentan las propuestas.

Por último, se presenta el diagrama electrónico del convertidor AD $\Sigma\Delta$ propuesto en el presente trabajo de tesis, el cual consiste de tres bloques: a) un integrador basado en un amplificador de par diferencial; b) un comparador que utiliza un circuito de decisión como etapa importante (junto con un *buffer*); y c) un convertidor DA de 1-bit que utiliza una capacitor conmutable.

En el siguiente capítulo se explica de manera detallada algunos conceptos importantes para el entendimiento del modulador $\Sigma\Delta$ y la conversión de imágenes.



CAPÍTULO 3.

MARCO TEÓRICO

En este capítulo se describe la parte teórica de todo los componentes electrónicos analógicos que engloba el convertidor Analógico-Digital Sigma-Delta (AD $\Sigma\Delta$) que se plantea en esta tesis, tales como los conceptos acerca del sobre-muestreo, la conformación de la cuantificación del ruido, la filtración digital y la decimación, para facilitar el entendimiento del funcionamiento del convertidor AD $\Sigma\Delta$; además de otros conceptos importantes para la conversión de señales.

3.1 Convertidor analógico-digital sigma delta

3.2 Sobre-muestreo

3.3 Efecto aliasing

3.4 Filtro anti-aliasing

3.5 Teorema de Nyquist

3.6 Función de muestreo

3.7 Interruptor MOSFET

3.7.1 Inyección de carga

3.7.2 Alimentación a través del reloj

3.8 Modulación sigma delta

3.9 Filtrado y decimación

3.10 Resumen del capítulo



CAPÍTULO 3 Marco teórico

3.1 Convertidor analógico-digital sigma delta

El gran avance de la tecnología VLSI ha dado oportunidad para implementar la técnica de la modulación $\Sigma\Delta$ recientemente, a pesar de que la teoría había sido desarrollada desde hace más de medio siglo. Hoy en día es posible su implementación en aplicaciones en donde se requiere bajo ancho de banda, alta resolución y bajo consumo de potencia.

Un convertidor AD $\Sigma\Delta$ incluye varios componentes electrónicos analógicos simples en su núcleo de diseño, dentro de los cuales se encuentran comparadores de señales, circuitos de referencia de voltaje, interruptores analógicos, circuitos sumadores analógicos e integradores; y de manera externa, se suele disponer de circuitería digital más compleja, además de un procesador digital de señales (DSP) que se utiliza generalmente como filtro pasa-bajas y *decimador*.

Para poder comprender cómo se realiza el funcionamiento de un convertidor AD $\Sigma\Delta$ se debe tener en claro varios conceptos como lo es el sobre-muestreo, conformación cuantificada del ruido, filtrado digital de señales y decimación.

3.2 Sobre-muestreo

La operación de los moduladores $\Sigma\Delta$ se realiza por medio de la combinación de dos técnicas de procesamiento de señales: sobre-muestreo y cuantificación del filtrado y retroalimentación del error, comúnmente llamado conformación del error. El sobre-muestreo (*oversampling*) es una técnica conocida en el procesamiento de señales, y que consiste en tomar muestras de la señal a una frecuencia mayor a la de Nyquist. Esto es, que dependiendo de la frecuencia máxima que se define una señal, la frecuencia de



Nyquist es el doble de esta señal. Sin embargo, no existe una definición de cuántas veces debe de ser mayor a la de Nyquist. Generalmente la frecuencia de sobre-muestreo se emplea para realizar una operación varias veces a la frecuencia máxima en la está definida la señal. Por ejemplo, en el convertidor AD $\Sigma\Delta$ la frecuencia de sobre-muestreo se emplea para obtener un promedio de la señal de referencia, esto es, el convertidor AD se estima a partir de la señal analógica que va a ser convertida a digital a través de un promedio.

El proceso de muestreo impone un límite sobre el ancho de banda, y de esta manera, la velocidad del convertidor AD. Una de las ventajas de los convertidores AD de sobre-muestreo es que estos simplifican los requisitos del filtro *anti-aliasing*. De acuerdo a lo que se había comentado en el capítulo anterior, los convertidores de Nyquist deben de tener una banda de transición abrupta, que muchas veces introducen distorsión sobre los componentes de la señal localizados cerca de la frecuencia de corte.

Una vez que se ha utilizado un circuito de sobre-muestreo y que la señal pasa por el modulador $\Sigma\Delta$ se utiliza un circuito digital que implementa un filtro pasa-bajas y posteriormente su utiliza un *decimador*. El filtro digital se utiliza para eliminar el espectro de la señal que se define en la frecuencia y obtener la señal original digitalizada. Por otro lado, el *decimador* se utiliza para realizar la operación de sub-muestreo o bajo-muestreo, es decir, se baja la señal de muestreo para que posteriormente, al momento de recuperar la señal original, no existan componentes extras que perturben esta señal. El *coeficiente de sobre-muestreo* (n), se indica por la expresión $x \times n(x \times 3, x \times 4, x \times 8, \dots)$.

Los convertidores AD de sobre-muestreo promedian las muestras obtenidas al sobreponerlas con los datos originales, de esta manera, se obtiene una muestra única (por ejemplo, si se realizan cinco muestreos, la muestra final será el valor medio de las muestras).

Además de esto, un filtro digital pasa-bajas es incluido en la entrada para evitar el efecto *aliasing*, el cual debe eliminar todas aquellas frecuencias que se encuentren más allá de la mitad de la frecuencia de muestreo. Sin embargo, en la salida, la frecuencia de muestreo empleada para propagar la señal ya no es la misma que se utilizó en un principio para tomar las muestras en la entrada. Es decir, que es tantas veces más grande como el número de muestreo que se haya realizado.

Ahora bien, si se examina la técnica de sobre-muestreo con un análisis en dominio de frecuencia, en donde la conversión en DC tiene un error de cuantificación más allá de $\frac{1}{2}$ LSB, el sistema de datos muestreados tendrá ruido de cuantificación. En cambio, un convertidor AD correcto con muestreo de N-bits tiene ruido de cuantificación rms de $q\sqrt{12}$ distribuido de manera uniforme en la banda de Nyquist de DC a $f_s/2$ (donde q es el valor del LSB y f_s es la relación de muestreo) como se puede observar en la Figura 3.1.

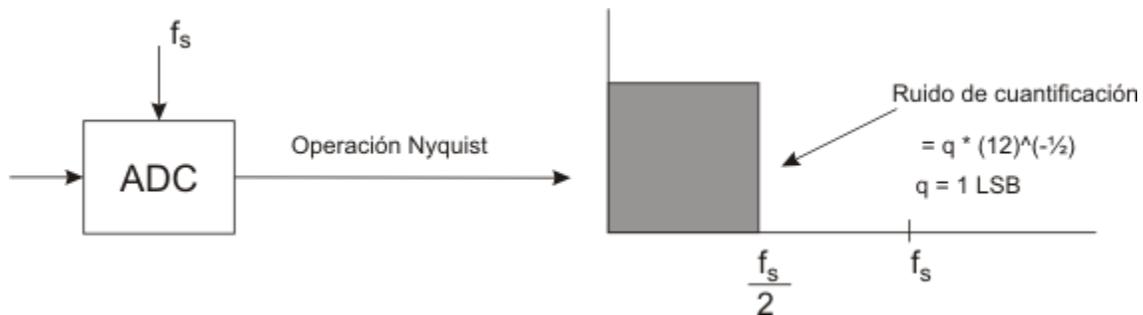


Figura 3.1 Comportamiento de un convertidor AD con muestreo de N-bit y ruido de cuantificación rms.

Por otro lado, la relación de señal-ruido SNR que tiene como entrada una onda sinusoidal de escala completa será $(6.02N + 1.76)dB$. Si un convertidor AD no es el correcto, su resolución efectiva será menos que N-bits cuando su ruido de cuantificación mínimo (teóricamente) es mucho más pequeño que su ruido real. Su resolución actual será definida por la ecuación 3.1.

$$ENOB = \frac{SNR - 1.76dB}{6.02dB} \quad (3.1)$$

El ruido de cuantificación rms puede mantenerse en $q\sqrt{12}$ cuando se elige una relación de muestreo mucho más alta Kf_s , como se observa en la Figura 3.2, sin embargo el ruido se distribuye sobre un amplificador dc de ancho de banda a $Kf_s/2$. Si se deseara mejorar el ENOB, además de remover una gran cantidad de ruido de cuantificación y no afectar la señal deseada, es recomendable aplicar en la salida un filtro digital pasa-bajas (LPF). Con esto se lograría obtener de convertidor AD de baja resolución una conversión de alta resolución. El factor K es conocido como la relación de sobre-muestreo. Como puede observarse en la Figura 3.2, el sobre-muestreo relaja los requerimientos de un filtro *anti-aliasing* analógico como un beneficio complementario.

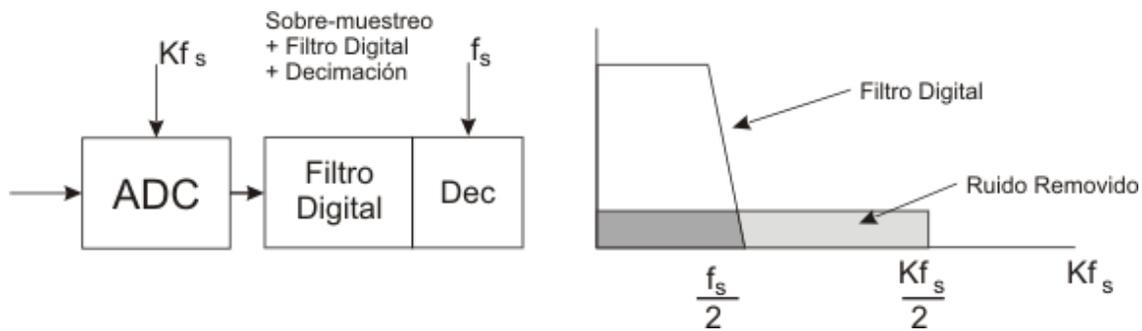


Figura 3.2 Comportamiento de un convertidor AD con una relación de muestreo más alta de Kf_s .

La salida de muestreo de datos puede ser mucho más baja que la tasa de muestreo primaria (Kf_s) si se emplea un filtro de salida digital para reducir el ancho de banda, sin afectar el criterio de Nyquist. Esto puede ser logrado mediante el proceso denominado decimación por un factor S , donde el paso de cada resultado S es enviado a la salida y el resto es desechado. El muestreo de salida de datos debe ser de más del doble del ancho de banda de la señal para que S pueda tener cualquier valor entero. Por lo que la decimación no provoca la pérdida de información.

Si se desea emplear el sobre-muestreo únicamente para mejorar la resolución, entonces se debe sobre-muestrear por un factor de 2^{2N} para lograr un incremento de N-bit

en la resolución. Debido a que puede ser limitada la señal pasa-banda e incrementarse el ruido de cuantificación, o inclusive que caiga fuera de la frecuencia de corte del filtro pasa-baja, el convertidor $\Sigma\Delta$ no requiere que cada coeficiente de sobre-muestreo sea alto, como se observa en la Figura 3.3.

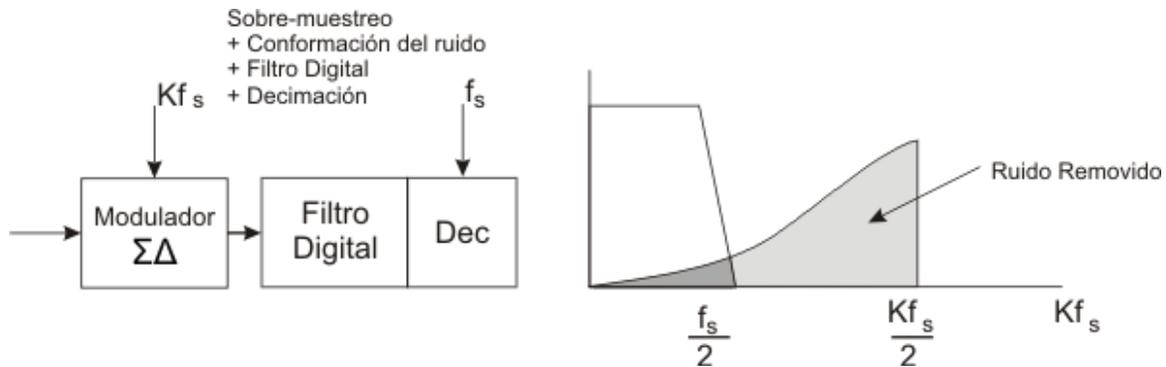


Figura 3.3 Comportamiento de un convertidor AD que utiliza sobre-muestreo.

Para obtener un modulador de primer orden, se debe emplear un convertidor AD de 1-bit o un comparador, como se le conoce comúnmente, el cual debe ser controlado con la salida por medio de un integrador, y éste a su vez, debe ser alimentado con la señal de entrada sumada con la salida del convertidor DA de 1-bit (alimentado por la salida del convertidor AD), como puede observarse en la Figura 3.4. Además de esto, si se agrega un LPF y un *decimador* a la salida digital, entonces se obtendría un convertidor AD $\Sigma\Delta$ completamente.

El ruido de cuantificación formado por el modulador $\Sigma\Delta$ se mantiene por debajo de la frecuencia de corte del filtro pasa-baja de la salida del filtro digital, y el ENOB por lo tanto es mucho más grande que la razón de sobre-muestreo.



comparador. Debido a que la señal de entrada aumenta hacia $+V_{REF}$, entonces aumenta la cantidad de “unos” en el flujo de bits en serie, y la cantidad de “ceros” decrece. De igual manera, cuando la señal se dirige hacia $-V_{REF}$, la cantidad de “ceros” aumenta y la cantidad de “unos” en el flujo de bit en serie decrece.

Visto de otro modo, este análisis muestra que el valor del voltaje promedio de entrada está contenido en el flujo de bits en serie afuera del comparador. El filtro digital junto con el *decimador* producen los datos de salida final al procesar este flujo de bits en serie.

Por otra parte, para cada valor de entrada obtenido en un intervalo de muestreo individual, los datos entregados por el convertidor AD de 1-bit no tienen aparentemente sentido. Para que se pueda obtener un resultado de valores significativos, es necesario contar con una cantidad grande de muestras promediadas. Debido a la aparente aleatoriedad de la salida individual de datos de bits, el modulador $\Sigma\Delta$ es muy complicado de analizar en tiempo de dominio. Por lógica, existirán más “ceros” que “unos” en el flujo de bits cuando la señal de entrada este cerca de la escala negativa. De la misma forma, cuando existan más “unos” que “ceros” en el flujo de bits, la señal de entrada estará cerca de la escala positiva. Y para las señales que se encuentren en la escala media estarán alrededor de la misma cantidad de “ceros” y “unos”.

El convertidor AD $\Sigma\Delta$ puede ser considerado como un convertidor sincronizado de voltaje-frecuencia seguido por un contador. La salida del contador representa el valor de la entrada cuando la cantidad de “unos” en el flujo de datos de la salida es cuantificada por encima de una cantidad considerable de muestras.



3.3 Efecto *aliasing*

Para que se produzca una distorsión conocida como *aliasing*, se debe emplear una frecuencia menor a la establecida por el teorema de Nyquist. En la literatura también se define esta distorsión como *solapamiento*. Cuando las muestras de una señal se logran en intervalos de tiempo muy largos, el efecto *aliasing* impide la recuperación correcta de la señal, provocando que la señal recuperada presente pendientes demasiado abruptas.

3.4 Filtro *anti-aliasing*

En la actualidad, los sistemas de digitalización incorporan filtros pasa-bajas para eliminar el efecto *aliasing* y que además eliminan por completo las frecuencias que van más allá de la frecuencia crítica en la señal de entrada. Es decir, que exceden a la frecuencia que pertenece a la mitad de la frecuencia de muestreo seleccionada.

El filtro pasa-bajas es denominado como filtro *anti-aliasing* cuando es empleado para este uso específico. Empero, si se excede del empleo de *estos* filtros, se podría provocar el mismo efecto que se desea evitar. Es decir, cuando se utilizan varios filtros en forma de cascada en el muestreo para la conversión DA, el filtrado sobrado de una señal que satisface la condición para su transformación AD correcta, podría degenerar y provocar que la señal obtenida muestre una pendiente muy prolongada.

3.5 Teorema de Nyquist

El teorema de Nyquist-Shannon dice que para poder replicar de manera exacta la forma de una señal, es necesario que la frecuencia de muestreo sea mayor al doble de la máxima frecuencia a muestrear.



Un error muy común es pensar que una misma señal muestreada con una tasa inferior se reconstruye de una manera inferior que una señal muestreada con una tasa elevada. Esto es incorrecto, si y sólo si las tasas empleadas cumplan con el criterio de Nyquist. Visto por el lado matemático, el proceso de muestreo es totalmente reversible, ya que su reconstrucción es precisa y no aproximada. Si se incrementa la tasa de muestreo una vez que el criterio de Nyquist se cumple, de nada servirá.

Otro error común es pensar que existe una técnica de cálculo que efectúa la interpolación de manera simulada, o que los puntos que se obtienen de un proceso de muestreo se unen en la reconstrucción mediante rectas y que forman dientes de sierra. Podemos mencionar que con el teorema de muestreo es posible demostrar que la información de una señal contenida en el intervalo de tiempo entre dos muestras cualesquiera, se describe por una serie total de muestras, si y sólo si la señal registrada sea de carácter periódica y que no contenga factores de frecuencia ya sea igual o superior a la mitad de la tasa de muestreo.

3.6 Función de muestreo

El propósito de la función de muestreo, es convertir una señal de tiempo continuo a su equivalente de datos muestreados. Idealmente una función de muestreo suministra una sucesión de funciones delta; estas funciones igualan la señal en amplitud a las veces muestreadas. La salida de una función de muestreo está dada por la ecuación 3.2 para un muestreo uniforme con periodo T .

$$x^*(t) = x^*(nT) = \sum x(t)\delta(t - nT) \quad (3.2)$$

3.7 Interruptor MOSFET

Un componente fundamental de cualquier circuito dinámico (analógico o digital) es el interruptor analógico como el que se muestra en la Figura 3.5.

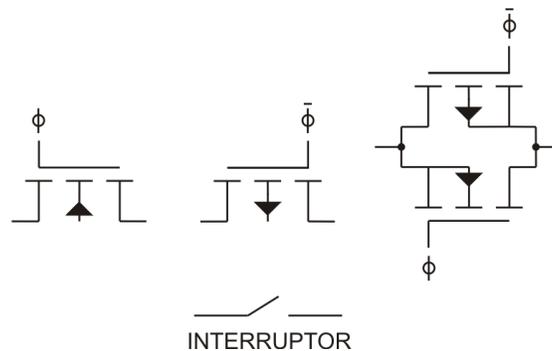


Figura 3.5 Interruptor MOSFET.

Una característica importante del interruptor es que bajo condiciones de corriente directa la compuerta de un MOSFET controla el consumo de corriente. Por lo tanto, las capacitancias se desprecian de la compuerta al drenaje/fuente, y se puede observar que la señal de control de la compuerta no interfiere con la información que está siendo transmitida a través del interruptor.

Mientras que los interruptores MOS ofrecen beneficios substanciales, también podemos obtener algunas pequeñas detracciones. Dos efectos no ideales se asocian típicamente con estos interruptores y que pueden limitar el uso de los mismos en algunas aplicaciones (particularmente en circuitos de muestreo de datos, tales como convertidores de datos). Estos dos efectos son conocidos como inyección de carga y alimentación a través del reloj.



3.7.1 Inyección de carga

Cuando el interruptor MOSFET está encendido y el voltaje V_{DS} es pequeño, la carga se transfiere del drenador al capacitor a través del canal invertido que se obtiene debajo del óxido de la compuerta. Cuando el MOSFET se encuentra apagado, la carga que se fue acumulando en el capacitor se almacena, debido a que no existe un canal invertido debajo del óxido de la compuerta, es decir hay una alta impedancia, que evita que la carga se fugue del capacitor. Sin embargo, existe una corriente de fuga por la fuente del transistor y es donde se va descargando el capacitor.

3.7.2 Alimentación a través del reloj

La alimentación a través del reloj es la acumulación de una carga positiva pequeña en la fuente del interruptor MOSFET, el cual ocurre después de que el interruptor ha sido apagado debido a la capacitancia parásita que existe entre la compuerta y la fuente del transistor. Esta puede ser reducida utilizando un transistor MOS de compuerta dividida y aplicando una tensión eléctrica de manera continua en una de las compuertas del transistor MOS de compuerta dividida.

3.8 Modulación sigma delta

Como ya se ha mencionado, la técnica de modulación sigma delta ($\Sigma\Delta$) se introdujo por primera vez a mediados del siglo pasado. Sin embargo, esta técnica comenzó a ser puesta en práctica a partir de los años 70, gracias a los avances tecnológicos en el diseño VLSI de circuitos integrados. Los moduladores $\Sigma\Delta$ también son identificados dentro de la literatura como convertidores por conformación de ruido y/o por convertidores de sobre-modulación. La arquitectura básica de un modulador $\Sigma\Delta$ se muestra en la Figura 3.6. El modulador $\Sigma\Delta$ de primer orden está constituido por un integrador, un cuantificador de un

bit y un convertidor DA. El nombre “Sigma-Delta” se deriva de la etapa de suma (sigma) seguido por el modulador delta, representado por el integrador y el cuantificador de un bit. Mientras que el bucle actúa con un filtro pasa-bajas para la señal de entrada y como un filtro pasa-altas para el ruido que es introducido por el cuantificador.

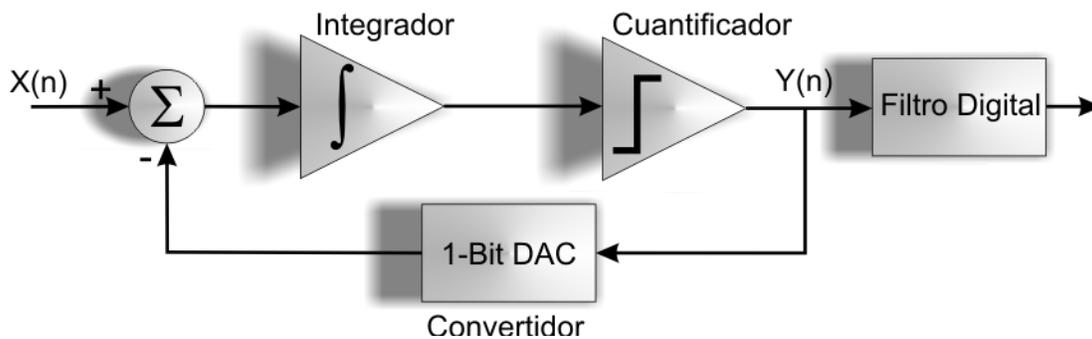


Figura 3.6 Arquitectura básica de un modulador $\Sigma\Delta$ de primer orden.

3.9 Filtrado y decimación

La señal de salida del modulador $\Sigma\Delta$ es una secuencia de bits donde 0 y 1 representan una amplitud mínima y máxima del voltaje de entrada respectivamente. Esta señal contiene el ruido de cuantización en las frecuencias altas, mientras que la información relativa a la señal de entrada se encuentra en las frecuencias bajas. Para regenerar la señal original es necesario utilizar un filtro digital que elimine las frecuencias altas. Generalmente el filtro debe tener una banda pasante de 0 a 1 Hz, o un poco menos para evitar el efecto de solapamiento (*aliasing*). Posterior al proceso de filtrado, la señal (filtrada) todavía tendrá una frecuencia de muestreo demasiado alta, ya que si su ancho de banda es de 1 Hz, entonces bastaría con reducir la frecuencia de muestreo obteniendo una muestra por cada 128 (Teorema de Nyquist-Shannon), a esta operación se le denomina decimación.



Por otra parte, se explica el efecto *aliasing*, que es una distorsión que impide la recuperación correcta de la señal presentando pendientes abruptas en la señal recuperada. Tal efecto puede ser eliminado a través de un filtro denominado *anti-aliasing*, además de que se eliminan las frecuencias que van más allá de la frecuencia crítica en la señal de entrada.

También se describe el teorema de Nyquist, que indica que para poder replicar la forma de una señal de manera exacta, es necesario que la frecuencia de muestreo sea mayor la doble de la máxima frecuencia a muestrear. Y la función de muestreo que tiene como propósito convertir una señal de tiempo continuo a su equivalente de datos muestreados. Además, se da una breve explicación del interruptor MOSFET, la inyección de carga y la alimentación a través del reloj.

Por último La arquitectura básica de un modulador AD $\Sigma\Delta$ de primer orden se muestra en este capítulo así como una breve explicación de la misma. De igual forma, Se da una reseña del filtrado y decimación, que son etapas posteriores a la modulación $\Sigma\Delta$. En el siguiente capítulo se da una explicación a detalle de cada uno de los bloques que componen al modulador $\Sigma\Delta$ de primer orden.



CAPÍTULO 4.

MODELO PROPUESTO

En el presente capítulo se describe el modelo propuesto para la arquitectura global del modulador $\Sigma\Delta$, pieza fundamental para el diseño del convertidor AD $\Sigma\Delta$. En este capítulo se presenta una explicación de cada uno de los tres bloques que integra el modelo propuesto con el propósito de tener una perspectiva más clara de la arquitectura del convertidor. Por último, se muestra la metodología que se utilizó en esta tesis.

4.1 Arquitectura propuesta

4.1.1 Integrador

4.1.2 Cuantificador

4.1.2.1 Pre-amplificación

4.1.2.2 Circuito de decisión

4.1.3 Buffer de salida

4.1.4 Convertidor DA

4.2 Metodología

4.2.1 Diagrama de bloques de la metodología propuesta

4.2.1.1 Definición del circuito

4.2.1.2 Definición del diseño esquemático

4.2.1.3 Simulaciones del circuito esquemático

4.2.1.4 Diseño topológico

4.2.1.5 Comparación del diseño topológico contra el circuito esquemático

4.3 Resumen del capítulo

CAPÍTULO 4 Modelo propuesto

4.1 Arquitectura propuesta

En la Figura 4.1, se presenta la arquitectura propuesta en este trabajo de tesis. De ésta, se observa que el modulador $\Sigma\Delta$ está compuesto de un circuito que se encarga de integrar la señal de corriente originada por fotodiodo, por medio de un amplificador operacional de transconductancia (OTA). El siguiente bloque, corresponde con un circuito lógico que cuantifica la señal de salida del integrador que lo precede, y cuya salida, se aplica a un par de amplificadores inversores en cascada que forman un buffer.

Finalmente, existe un lazo de retroalimentación que controla a un convertidor D/A en conjunto con un par de señales complementarias PHI1 y PHI2. El bloque convertidor D/A, se encarga de restar una cierta cantidad de corriente al nodo denominado In , cerrando así el lazo de retroalimentación negativa que se introdujo en la Figura 3.5.

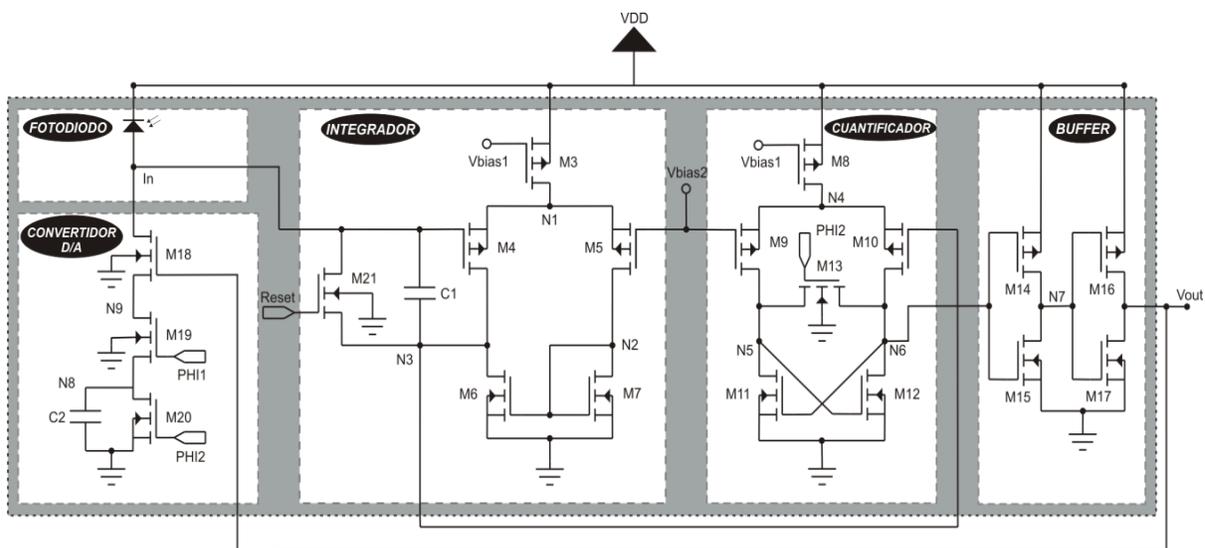


Figura 4.1 Arquitectura global del convertidor sigma delta con aplicación a sensores de imágenes en tecnología CMOS.



Considerando que los pixeles son de tipo fotodiodo, ver Figura 4.1, se entenderá que los fotones que inciden en el pixel se convierten en una pequeña corriente eléctrica, del orden de los pico-amperes. Esta pequeña corriente se inyecta en el nodo señalado como “ I_n ”. Así, la fotocorriente del fotodiodo es acumulada en el capacitor C1, del integrador (OTA) conformado por los transistores M3, M4, M5, M6 y M7. La salida del integrador (N3) es transmitida a un comparador a través del transistor M10. El comparador en conjunto con el buffer, realiza la conversión analógica a digital de 1 bit y su señal de salida (V_{out}) se alimenta al transistor M18, el cual forma parte del convertidor DA de 1 bit constituido por M18, M19, M20 y un capacitor conmutable. El convertidor DA utiliza el capacitor C2 para remover la carga del capacitor C1, resultando así en un decremento en el voltaje de salida del integrador. El capacitor C2 es descargado cuando la señal de reloj definida como PHI2 es alta. Sin embargo, cuando la salida del comparador es alta, la señal PHI1 es alta, y la señal de reloj PHI2 es baja (debido a que son señales de reloj complementarias), el capacitor C2 es conectado directamente a la entrada del integrador, de esta forma se transfiere la carga hacia el capacitor C2. Si la salida del comparador es baja, ninguna carga se transfiere al capacitor C1.

4.1.1 Integrador

El integrador está constituido por un amplificador diferencial como se puede observar en la Figura 4.2. Su funcionamiento se describe a continuación. Asíumase que todos los transistores están en saturación. Considerando que las corrientes de drenador de los transistores M4 y M5 son iguales y son sumadas. El transistor M3 es transistor que copia la corriente de una fuente de corriente por medio de un espejo de corriente. Ahora, la corriente de drenador determina la corriente de M7. De manera ideal, esta corriente será copiada en M6. Si $V_{SG4} = V_{SG5}$ y si M4 y M5 son iguales, esto es, que no son del mismo tamaño y no existe desacople, entonces las corrientes en los transistores M4 y M5 serán



iguales. Así, la corriente del transistor M6 es la que recibe del transistor M4 y que debe ser igual a la corriente de M4, provocando que la corriente de salida $I_{OUT} = 0$.

Si $V_{SG5} > V_{SG4}$ entonces la corriente de drenador del transistor M5 (I_{D5}) es mayor con respecto a la corriente de drenador del transistor M4 (I_{D4}), de ahí que $I_{DD} = I_{D5} + I_{D4}$. Este aumento en I_{D5} implica un incremento en I_{D7} y en I_{D6} . Sin embargo, I_{D4} disminuye cuando V_{SG5} es más grande que V_{SG4} . Por lo tanto, la única manera de establecer un equilibrio en el circuito es que I_{OUT} sea positivo con respecto a la salida del integrador, y el voltaje de salida V_{OUT} se incrementa.

Ahora bien, si $V_{SG5} < V_{SG4}$, entonces I_{OUT} será negativo y V_{OUT} disminuye. Esta configuración nos da una manera simple en la cual la señal de salida diferencial del amplificador puede ser convertida de regreso a una señal única finalizada. Observamos que la corriente de salida se conecta al capacitor C1. Cuando la corriente I_{OUT} aumenta entonces la carga almacenada en el capacitor aumenta, y por consecuencia aumenta el voltaje que se almacena en el capacitor. Por otro lado, cuando la corriente I_{OUT} disminuye, la carga que se almacena en el capacitor también disminuye, y por lo tanto el voltaje almacenado en C1 disminuye. De esta manera con respecto al tiempo si la carga del capacitor va aumentando, es decir, se va acumulando. Entonces el voltaje se estará sumando (integrando) en C1. Hay que observar que la señal en la compuerta del transistor M5 está sujeta a un nivel fijo de voltaje. Por lo tanto, dependiendo de si la señal de compuerta del transistor M4 está por arriba o debajo del voltaje de referencia. Entonces la corriente de salida I_{OUT} aumenta o disminuye.

Finalmente, el transistor M21 se utiliza para descargar el capacitor. Cuando comienza un nuevo proceso de conversión, se debe de aplicar una señal alta para descargar al capacitor, y de esta forma comenzar una nueva conversión.

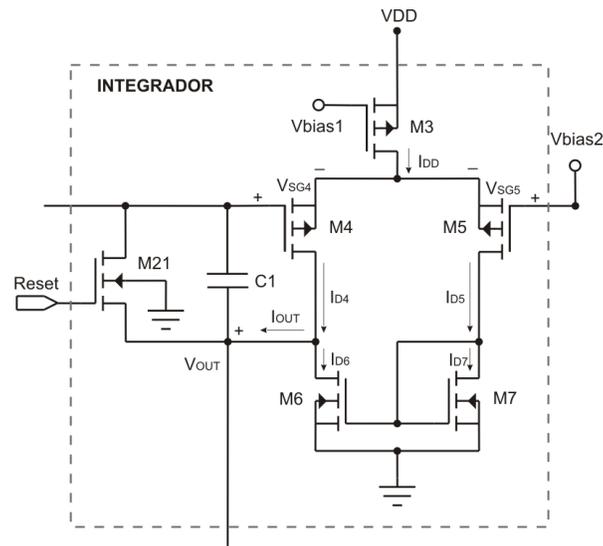


Figura 4.2 Diagrama electrónico de la etapa de integración de la arquitectura propuesta.

4.1.2 Cuantificador

El símbolo esquemático y operación básica de un comparador de voltaje se muestra en la Figura 4.3. El comparador podría verse como un circuito de toma de decisiones. Si la entrada positiva del comparador V_+ , tiene un potencial más grande que la entrada negativa V_- , entonces la salida del comparador será un 1 lógico, esto el nivel de voltaje deberá de ser el mismo que el nivel de alimentación positiva del comparador. De lo contrario, si la entrada positiva tiene un potencial más bajo que la entrada negativa, la salida del comparador será un 0 lógico, esto es, el nivel de voltaje será el potencial de alimentación más bajo, en algunas ocasiones este nivel está conectado a tierra. Un amplificador operacional puede ser utilizado como un comparador de voltaje en aplicaciones de baja frecuencia de baja velocidad. Sin embargo, para el caso del comparador utilizado en el modulador $\Sigma\Delta$ no se necesita de un amplificador operacional de altas prestaciones, por lo que se utilizará un diseño más sencillo.

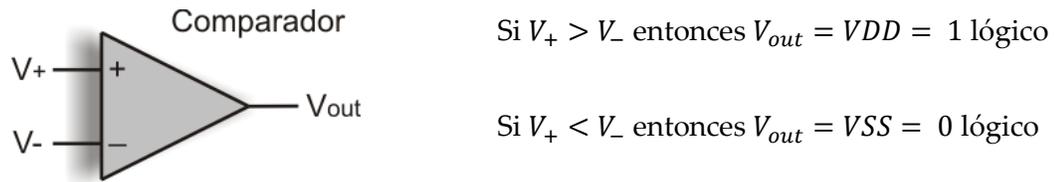


Figura 4.3 Operación de un comparador.

El diagrama de bloques de un comparador se muestra en la Figura 4.4. El comparador consiste en tres etapas; el pre-amplificador de entrada, una retroalimentación positiva o etapa de decisión, y un buffer de salida. La etapa de pre-amplificación mejora la sensibilidad del comparador (incrementa la señal de entrada mínima con la cual el comparador puede tomar una decisión) y aísla la entrada del comparador del ruido cambiante proveniente de la etapa de retroalimentación positiva. La etapa de retroalimentación positiva se utiliza para determinar cuál de las señales de entrada es más grande. El buffer de salida lleva las señales de voltaje riel a riel, esto es normalmente el *swing* del comparador no alcanza los niveles extremos de alimentación, por lo que el circuito buffer amplía el nivel de *swing* del comparador y lo lleva a niveles riel a riel, y entrega en su salida una señal con valores digitales. Para diseñar un comparador se debe considerar principalmente el rango de entrada de modo común, la disipación de potencia, el retraso de propagación y la ganancia del comparador.

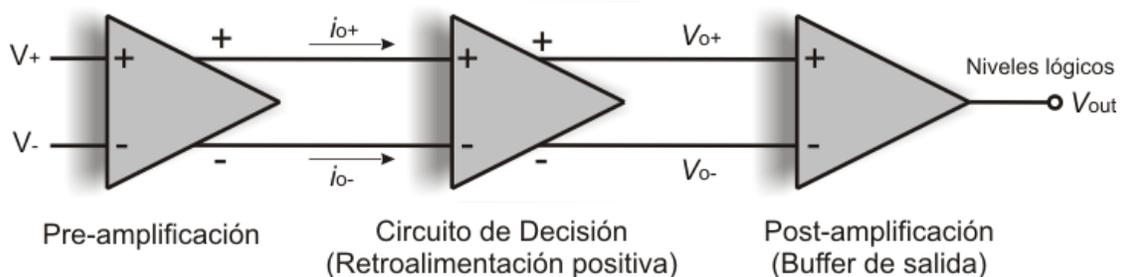


Figura 4.4 Diagrama de bloques de un comparador de alto desarrollo.

4.1.2.1 Pre-amplificación

Para la etapa de pre-amplificación se han utilizado los transistores M9 y M10 como el amplificador de par diferencial. Los tamaños de transistores M9 y M10 son establecidos considerando la transconductancia y la capacitancia de entrada. La transconductancia establece la ganancia de la etapa, mientras que la capacitancia de entrada del comparador es determinado por el tamaño de los transistores M9 y M10, ver Figura 4.5. De la figura se observa que las compuertas de los transistores M11 y M12 se encuentran cruzadas, es decir el drenador de los transistores M9 y M10 se conectan de manera cruzada a las compuertas de los transistores M12 y M11 respectivamente. El transistor M13 se utiliza para poner en corto los drenadores de los transistores M9 y M10, por lo que la señal es igual a cero. El transistor M8 se utiliza para dar un nivel de corriente fijo. En la siguiente sección se explica el funcionamiento de los transistores M11 y M12.

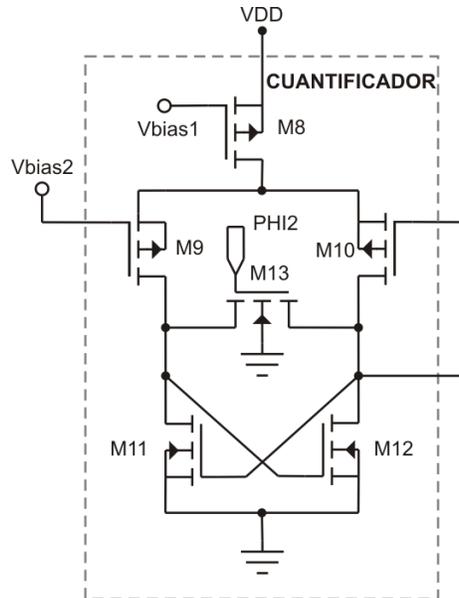


Figura 4.5 Diagrama electrónico de la etapa de cuantificación de la arquitectura propuesta.

4.1.2.2 Circuito de decisión

El circuito de decisión debe de ser capaz de discriminar señales a nivel de *mili-volts*. Este circuito debe ser diseñado con poca histéresis para que se incremente el rechazo de ruido de la señal de entrada. El circuito utilizado en el comparador se muestra en la Figura 4.6. El circuito utiliza retroalimentación positiva de la conexión compuerta-cruzada de los transistores M11 y M12 para incrementar la ganancia.

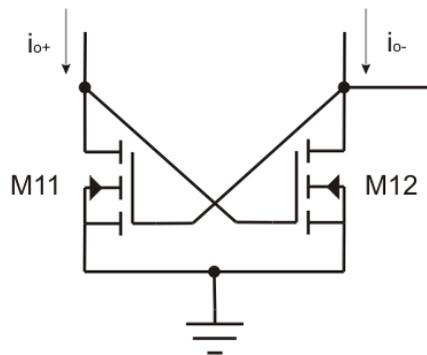


Figura 4.6 Esquemático del circuito de decisión de la etapa de cuantificación de la arquitectura propuesta.

Si se asume que i_{o+} es más grande que i_{o-} , entonces el transistor M12 está encendido y el transistor M11 está apagado. Si se comienza a incrementar i_{o-} y disminuir i_{o+} , se provoca una interrupción cuando el voltaje drenaje-fuente del transistor M12 es igual a V_{THN} del transistor M11.

4.1.3 Buffer de salida

El buffer de salida es la última etapa del comparador y su principal propósito es convertir la salida del circuito de decisión a una señal lógica (0V ó 5V). Las características que debe cumplir este circuito son una amplia razón de cambio (*slew rate*), además de aceptar una señal de entrada diferencial, ver Figura 4.7.

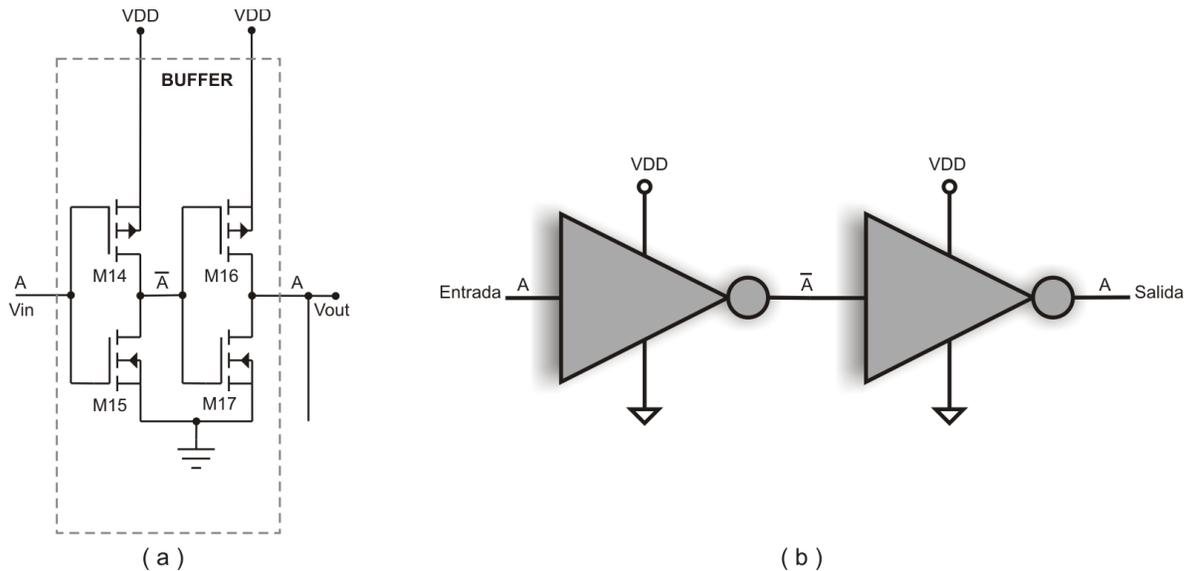


Figura 4.7 (a) Diagrama electrónico del buffer de la arquitectura propuesta. (b) Símbolo lógico del buffer.

Como se puede observar, el buffer de salida se compone de dos inversores CMOS (este tipo de circuito es utilizado como bloque de construcción básica para diseños de circuitos digitales). El inversor realiza la operación lógica $A \rightarrow \bar{A}$, por ejemplo, cuando la entrada del inversor es 0V, entonces su salida será VDD, el transistor PMOS se encuentra en saturación, mientras que el transistor NMOS se encuentra en corte. Por otro lado, cuando la entrada es VDD, entonces la salida será 0V, el transistor NMOS se encuentra ahora en saturación y el transistor PMOS se encuentra en corte. De acuerdo a lo que se acaba de comentar, cuando la señal de entrada se encuentra en sus extremos (0V o VDD) el consumo de potencia se encuentra sólo en uno de los transistores. Sin embargo, cuando la señal se encuentra en transición el consumo es mayor, debido a que ambos transistores se encuentran en trío.

4.1.4 Convertidor DA

El convertidor DA está constituido por tres transistores NMOS y un capacitor que almacena la carga que se va conmutando, esto es, el capacitor C2 transfiere la carga de un

nodo a otro mediante un interruptor analógico. Como se puede observar en la Figura 4.8, las dos señales de reloj (PHI1 y PHI2) forman señales que no se superponen, es decir que, nunca deben estar en alto o bajo en el mismo instante de tiempo debido a que no se desea conectar el nodo “In” directamente a GND.

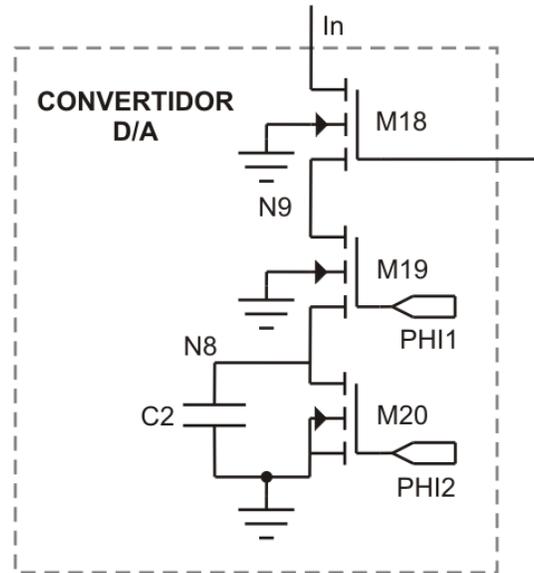


Figura 4.8 Diagrama electrónico del convertidor DA de la arquitectura propuesta.

Cuando PHI1 está en alto (PHI2 está en bajo), C2 se conecta directamente al nodo “In” provocando que se transfiera carga fuera del capacitor C1 y que la carga en C2 sea igual a $Q_2 = C2 \cdot V_{In}$. De lo contrario, si PHI1 está en bajo, entonces PHI2 estará en alto y C2 se descarga ($Q_2 = 0$) debido a que C2 se conecta directamente a tierra (GND). Entonces, el total de carga transferida entre los nodos “In” y GND es $\Delta Q = Q_1$. Si el interruptor se conmuta a una frecuencia $f = 1/T$, la transferencia de carga entrega una corriente igual a la que se muestra en la ecuación 4.1.

$$I = \frac{\Delta Q}{T} = \frac{Q_1}{1/f} = \frac{C2 \cdot V_{In}}{1/f} \quad (4.1)$$

4.2 Metodología

4.2.1 Diagrama de bloques de la metodología propuesta

El diagrama que se muestra en la Figura 4.9 describe la metodología propuesta para el diseño del convertidor de señal con aplicación en sensores de imágenes. En tercer lugar, se debe de definir el tipo de modelo con el que se realizaran los diferentes tipos de simulaciones (en CD, en AC, análisis transitorio, análisis en frecuencia, entre otros).

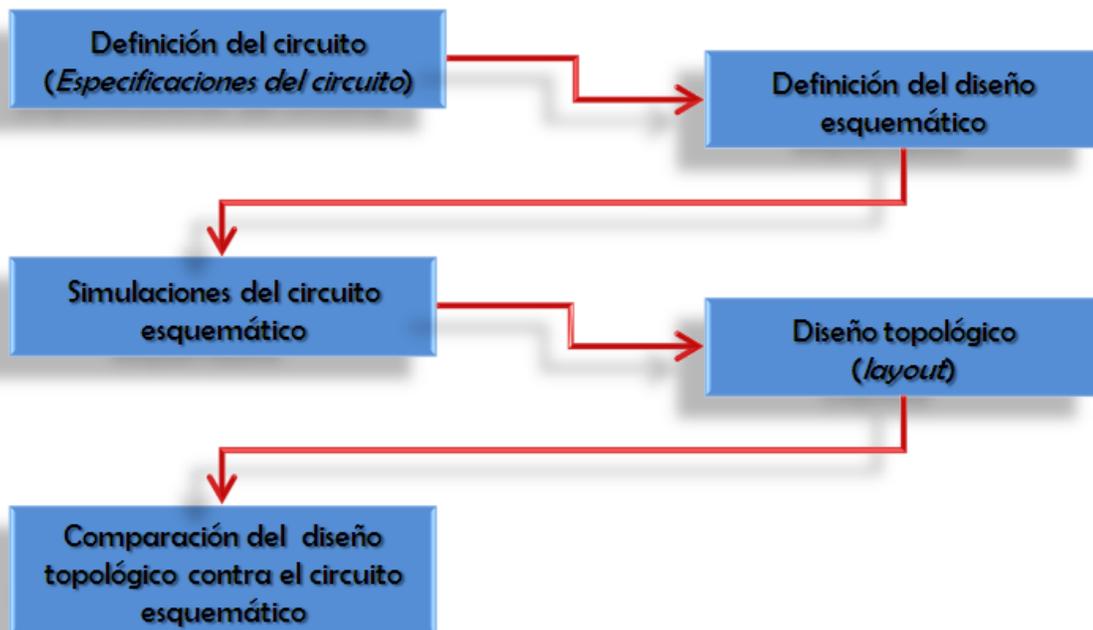


Figura 4.9 Diagrama de bloques de la metodología propuesta.

4.2.1.1 Definición del circuito

Se observa que el primer paso a realizar es definir el tipo de circuito que va a ser diseñado, por lo que las especificaciones del circuito dictan cuál es el voltaje de alimentación, consumo de potencia, ancho de banda del circuito, tamaño, entre otros aspectos.



4.2.1.2 Definición del diseño esquemático

En segundo lugar, se debe de definir el circuito que va a ser diseñado. Muchas veces, el circuito principal se puede dividir en módulos más pequeños, lo que implica que el diseño sea más fácil de realizar.

4.2.1.3 Simulaciones del circuito esquemático

Después de haber obtenido los cálculos y el diseño esquemático, se realizan las simulaciones del circuito mediante herramientas específicas, en este presente trabajo de tesis, se realizaron las simulaciones en PSpice de OrCad, para verificar el funcionamiento y ajustar algunos parámetros de manera experimental para la obtención de los requerimientos del convertidor de señal.

4.2.1.4 Diseño topológico

Continuando con el diseño, una vez que el circuito cumple las especificaciones requeridas, se realiza el diseño topológico (*layout*) del circuito integrado, procurando obedecer las reglas de diseño y que el diseño tenga las condiciones necesarias para que trabaje adecuadamente. La herramienta que se utilizó para esta etapa es L-Edit de Tanner v13.

4.2.1.5 Comparación del diseño topológico contra el circuito esquemático

Por último, es recomendable realizar la comparación *layout* versus esquemático, para verificar que no existan malas conexiones o falta de conexión. Si el circuito que se está diseñando no cumple con alguna de las especificaciones, será necesario regresar a un paso anterior, o pasos anteriores. La comparación del circuito simulado en PSpice contra el diseño topológico (*layout*) obtenido en Tanner se realizó comparando el listado de salida de PSpice del circuito de la arquitectura contra el Netlist obtenido del diseño topológico (*layout*) de L-Edit.



4.3 Resumen del capítulo

En el presente capítulo se describe el funcionamiento de la arquitectura propuesta, la cual comienza con un circuito encargado de integrar la señal de corriente originada por el fotodiodo. Posteriormente la siguiente etapa corresponde con un circuito lógico que cuantifica la señal de salida del integrador. La señal de salida del cuantificador a su vez se dirige a un par de inversores en cascada denominados *buffer*. Por último se utiliza un convertidor AD en el lazo de retroalimentación que se encarga de restar una cierta cantidad de corriente al nodo de entrada de la arquitectura.

Por otro lado, también se explica de manera detallada cada uno de los bloques que se utilizan en la arquitectura propuesta. El integrador constituido por un par diferencial, un espejo de corriente y un capacitor para almacenar la carga, además de un transistor que se emplea como un *reset* para el capacitor; el cuantificador constituido por un par diferencial, un circuito de decisión y un transistor que hace la función de *reset*, seguido de este circuito se encuentran dos circuitos inversores que forman el *buffer*, con la finalidad de enviar una señal de salida con carga VDD o GND según sea el caso. Por último, el bloque que conforma al convertidor DA de 1-bit se constituye por un capacitor y tres transistores que hacen que el capacitor sea conmutable.

En este capítulo también se explica la metodología utilizada mediante un diagrama de bloques donde se puede observar los cinco pasos a seguir para el cumplimiento de los objetivos del presente trabajo de tesis: a) Definición del circuito (especificaciones del circuito), b) Definición del diseño esquemático, c) Simulaciones del circuito esquemático, d) Diseño topológico (*layout*) y e) Comparación del diseño topológico contra el circuito esquemático. Las pruebas y resultados de los cálculos y las simulaciones obtenidos a través de esta metodología se presentan en el siguiente capítulo de forma detallada.



CAPÍTULO 5.

PRUEBAS Y RESULTADOS

En este capítulo se presenta el diagrama de bloques de la arquitectura propuesta en Simulink y los resultados obtenidos de la simulación del mismo. Se muestran y se explican los resultados de las simulaciones del diagrama esquemático de la arquitectura del convertidor AD $\Sigma\Delta$ obtenidas mediante PSpice. Las simulaciones que se muestran son realizadas a nivel de bloques funcionales y a nivel arquitectura. Además de que se presenta el diseño geométrico obtenido (*layout*) del sistema mediante L-Edit de Tanner.

5.1 Simulación de un modulador $\Sigma\Delta$ ideal en Simulink de Matlab

5.2 Cálculos y simulación de bloques de la arquitectura propuesta del convertidor $\Sigma\Delta$ en PSpice

5.2.1 Integrador

5.2.2 Comparador

5.2.3 Buffer

5.2.4 Convertidor DA de 1-Bit

5.3 Desempeño del convertidor

5.4 Resumen del capítulo

CAPÍTULO 5 Pruebas y resultados

5.1 Simulación de un modulador $\Sigma\Delta$ ideal en Simulink de Matlab

La función del modulador $\Sigma\Delta$ es codificar la señal analógica entrante a una señal tipo PDM (Modulación por Densidad de Pulsos) mediante el empleo de la técnica de sobre-muestreo, cuantificación y conformación de ruido; obteniendo una señal analógica mediante una trama de bits de alta frecuencia. Para desplazar el ruido de cuantificación más allá de la banda de interés es necesario aplicar lazos de realimentación, con lo que se logra altas resoluciones de conversión.

En primera instancia, para el análisis y comprensión del comportamiento del sistema ideal del convertidor AD mediante la modulación $\Sigma\Delta$, se realizó una simulación del sistema en Simulink. Tomando en cuenta la arquitectura básica del modulador $\Sigma\Delta$ de primer orden [15] mostrado en la Figura 3.6, se realizó el sistema en Simulink, en donde se considera cada uno de los bloques del sistema, ver Figura 5.1.

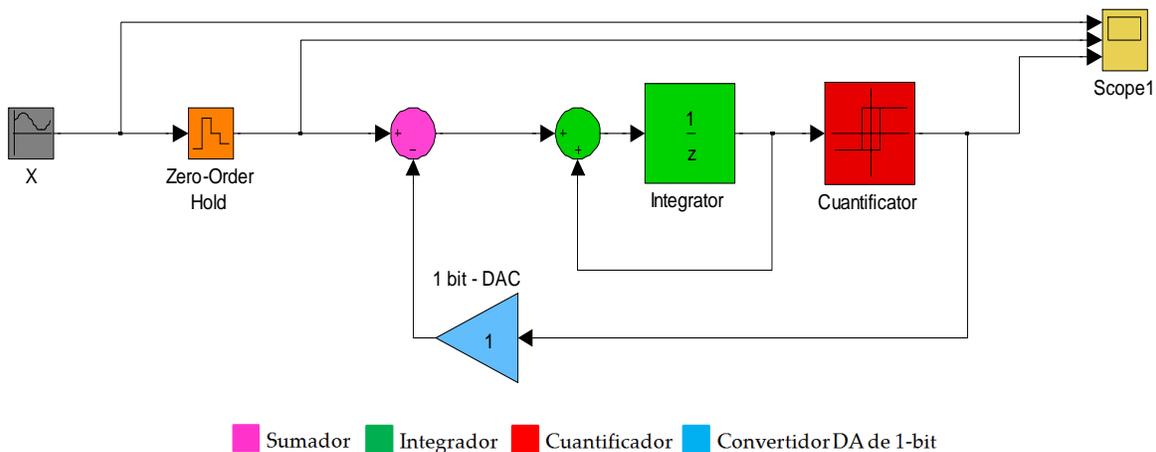


Figura 5.1 Modelo de la arquitectura básica del modulador $\Sigma\Delta$ en Simulink.

El bloque sumador realiza la adición o sustracción de las señales. Además de que también puede colapsar los elementos de una señal, ver Figura 5.2.



Figura 5.2 (a) Bloque del sumador en Simulink. (b) Bloque del sumador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.

El bloque del integrador del sistema está representado por dos bloques, un sumador y un bloque de unidad de retardo, como se muestra en la Figura 5.3. Esta unidad de retardo retiene y retrasa la entrada por el periodo de la muestra que se especifique. Para esta simulación se realizó un periodo de muestra de $1/(128 \cdot 10^3)$.

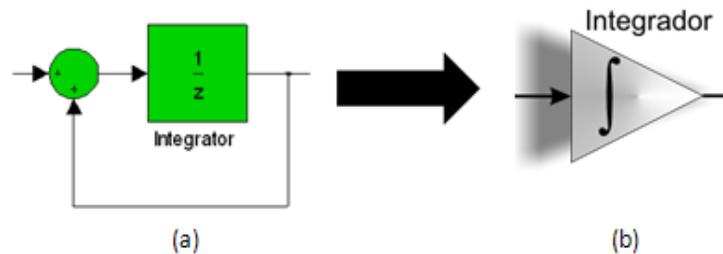


Figura 5.3 (a) Bloque del integrador en Simulink. (b) Bloque del integrador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.

El bloque cuantificador está representado por una señal de histéresis, como se muestra en la Figura 5.4. El cual permite que su salida conmute entre dos niveles específicos. Es decir, cuando el bloque de histéresis está activado, se mantiene hasta que la entrada cae por debajo del valor del punto de conmutación de apagado. Y cuando este bloque se encuentra apagado, permanece así hasta que la entrada supera el valor del punto de conmutación de encendido.

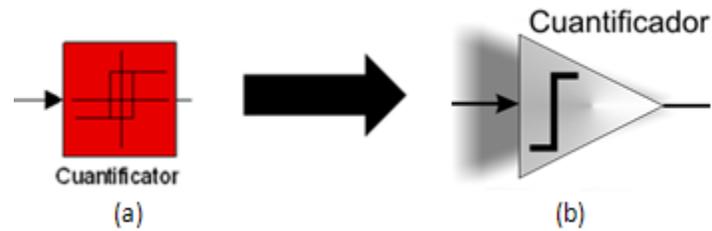


Figura 5.4 (a) Bloque del cuantificador en Simulink. (b) Bloque del cuantificador de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.

Por último, se tiene un bloque de ganancia que representa el convertidor DA de 1-bit del sistema, ver Figura 5.5, el cual multiplica el valor de la entrada por una constante (ganancia).

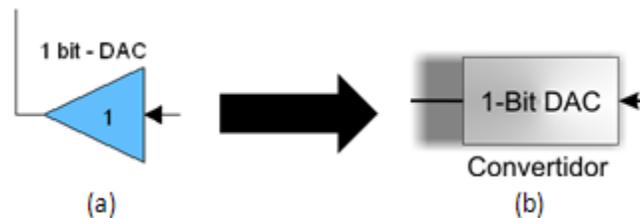


Figura 5.5 (a) Bloque del convertidor DA de 1-bit en Simulink. (b) Bloque del convertidor DA de 1-bit de la arquitectura básica del modulador $\Sigma\Delta$ de primer orden.

Para la simulación del sistema en Simulink es necesario integrar algunos otros bloques para el funcionamiento correcto e ideal del mismo. El bloque forma de onda se utiliza como fuente de una señal sinusoidal y procesa esta función a través del sistema, y así poder observar el comportamiento del sistema, ver Figura 5.6. El bloque genera una señal en el dominio del tiempo, es decir $O(t) = Amp * Sin(Freq * t + Phase) + Bias$.
Donde:

$$\text{Amplitud de la señal} = Sin(\pi/2);$$



Bias = 0. Que especifica el valor de offset de la señal sinusoidal.

Frecuencia = $\pi * 1 \times 10^3$. La frecuencia se especifica en radianes por segundo.

Phase = 0. Que especifica el desplazamiento de fase en radianes.

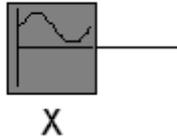


Figura 5.6 Bloque de la onda sinusoidal en Simulink.

El bloque *Zero-Order Hold*, ver Figura 5.7, se emplea para simular el proceso de muestreo de la señal. Como se mencionó anteriormente, el periodo de muestreo para esta simulación es $f_s = 1/(128 * 1e3)$.

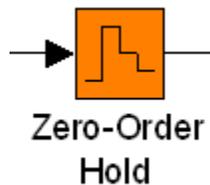


Figura 5.7 Bloque *Zero-Order Hold*.

La simulación del sistema de primer orden se efectuó en un tiempo de 8×10^{-3} segundos. El cual nos entrega un resultado de cuatro periodos, como lo muestra la Figura 5.8. Donde podemos observar que si la señal sinusoidal presenta el semiciclo positivo, entonces el cuantificador entrega una densidad de unos (salidas altas) proporcional a la amplitud de la señal de entrada. Por el contrario, si la señal presenta el semiciclo negativo, entonces el cuantificador entrega esta vez una densidad de ceros (salidas bajas) proporcionales a la amplitud de la señal de entrada.

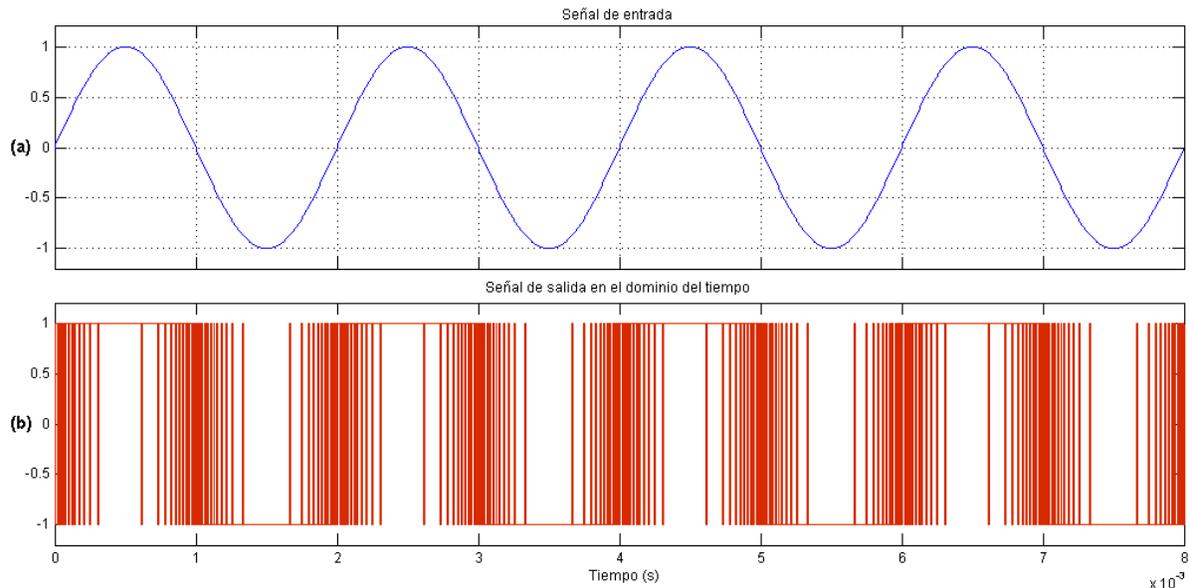


Figura 5.8 Respuesta del sistema de primer orden con un periodo de muestreo de $1/(128 \cdot 10^3)$. (a) Señal de entrada a una frecuencia de $\pi \cdot 10^3$ con amplitud de $\sin(\pi/2)$. (b) Señal modulada.

5.2 Cálculos y simulación de bloques de la arquitectura propuesta del convertidor $\Sigma\Delta$ en PSpice

A continuación, se muestran los cálculos de las dimensiones de W y L de los transistores que componen a cada uno de los bloques de la arquitectura, además de la respuesta en frecuencia de cada uno de ellos.

5.2.1 Integrador

Para el procedimiento del diseño del integrador, se asume que todos los transistores empleados están en saturación, además proponemos las siguientes especificaciones:

- Ganancia en DC, $A_v > 32V/V$
- Producto Ganancia-Ancho de banda unitaria, $GB = 250MHz$
- Rango de entrada en modo común, $ICMR = 1V$ a $2V$
- Capacidad de carga, $C_L = 20fF$



- Velocidad de cambio, $SR > 23V/\mu s$

En primera instancia se propuso un ancho de $L = 10.8 \mu m$ de los transistores, el cual mantiene el parámetro de modulación de canal constante y así poder igualar los transistores del circuito espejo de corriente.

Para determinar el valor mínimo de referencia I_3 , ver Figura 5.9, se debe considerar:

$$I_3 \cong 10 \left(\frac{|V_{SS}| + V_{DD}}{2T_s} \right) \text{ O } I_3 = SR \cdot C_c \quad (5.1)$$

En este caso, para calcular I_3 empleamos las especificaciones de SR y de C_L . Por lo que:

$$I_3 = (23 \times 10^6)(20 \times 10^{-15}) = 0.46 \mu A$$

Y por un factor de 10 tenemos:

$$(10)(0.46 \mu A) = 4.6 \mu A \approx 5 \mu A$$

Para el cálculo de $(W/L)_7$ se emplea los requisitos de $ICMR$, en particular se requiere de la especificación de voltaje de entrada máxima. Esto es:

$$(W/L)_7 = \frac{2I_7}{K_7[V_{SS} - V_{in}(min) - V_{TO7}(min) + |V_{T5}(max)|]^2} \geq 1 \quad (5.2)$$

De la cual obtenemos que:

$$(W/L)_7 = \frac{2(2.38 \times 10^{-6})}{(73.7 \times 10^{-6})[2 - 0.8 - 1]^2} = 1.6$$

Por lo tanto:

$$(W/L)_7 = (W/L)_6 = 1 \quad (5.3)$$



Como se mencionó antes, si se propone un ancho de $L = 10.8\mu m$, entonces

$$\frac{W}{10.8\mu m} = 1 \rightarrow W = 10.8\mu m \text{ Para } W_7 \text{ y } W_6$$

Ahora bien, para calcular g_{m5} se requiere del empleo de la siguiente ecuación:

$$g_{m5} = GB \cdot C_L \rightarrow (W/L)_5 = (W/L)_4 = \frac{g_{m4}^2}{K'_{4}I_3} \quad (5.4)$$

De la cual tenemos que:

$$g_{m5} = (250 \times 10^6)(2\pi)(20 \times 10^{-15}) = 31.42\mu S$$

Por lo tanto, $(W/L)_5$ es:

$$(W/L)_5 = (W/L)_4 = \frac{(31.42 \times 10^{-6})^2}{(36.8 \times 10^{-6})(4.76 \times 10^{-6})} = 5.64 \approx 6$$

Donde se concluye que la longitud para los transistores del par diferencial es:

$$\frac{W}{10.8\mu m} = 6 \rightarrow W = 64.8\mu m \text{ Para } W_5 \text{ y } W_4$$

Ahora, para calcular $(W/L)_3$ del voltaje mínimo de entrada, se debe calcular en primera instancia a $V_{SD3}(sat)$ para poder calcular posteriormente $(W/L)_3$ empleando las siguientes ecuaciones:

$$V_{SD3}(sat) = V_{DD} - V_{in}(max) - V_{SG5} \quad (5.5)$$

$$(W/L)_3 = \frac{2I_3}{K'_{3}[V_{SD3}(sat)]^2} \quad (5.6)$$

De donde tenemos que:

$$V_{SD3}(sat) = 0.32V$$

Entonces $(W/L)_3$ es:

$$(W/L)_3 = \frac{2(4.76 \times 10^{-6})}{36.8 \times 10^{-6} [0.32]^2} = 2.49 \approx 2.5$$

Por lo que, al proponer a $L = 4.8 \mu\text{m}$ que es 4 veces más grande el ancho del transistor que permite la tecnología. Es decir, que $W = 12 \mu\text{m}$.

El dibujo del diagrama esquemático del integrador se muestra en la Figura 5.9, empleando los transistores con las dimensiones calculadas. Además se puede observar que se colocó un transistor (M21) que es empleado para descargar a C1. En los integradores prácticos se coloca una resistencia grande en el lugar del transistor M21, sin embargo, debido a que las resistencias requieren de un área muy grande en el diseño del *layout*, se evita el uso de éstas y se reemplaza por un transistor conmutable para restablecer (*reset*) al capacitor.

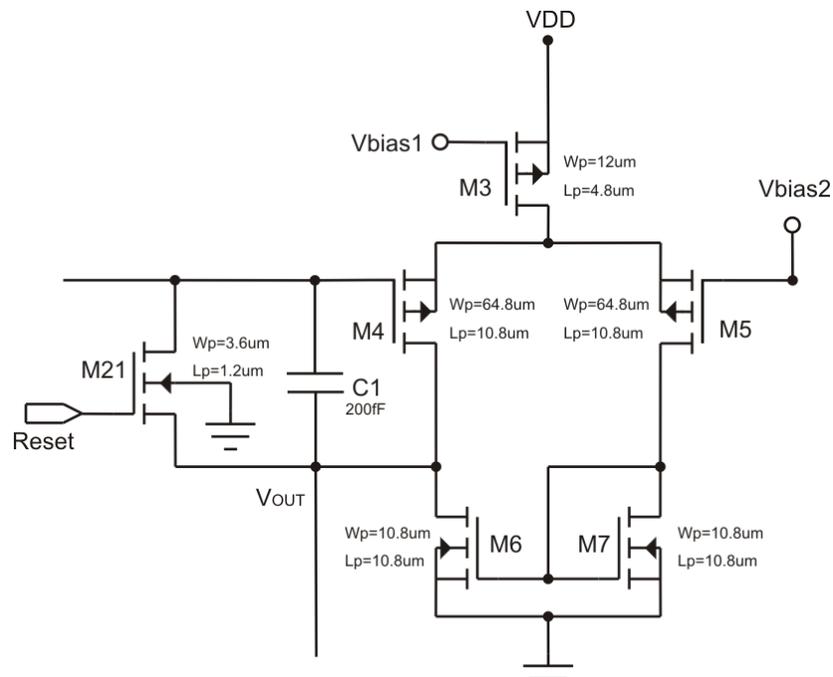


Figura 5.9 Esquema eléctrico del integrador.



En la Figura 5.10 se puede observar el funcionamiento del integrador, el cual se basa en generar una señal de salida correspondiente a la integral de la señal de entrada en el tiempo a través del transistor M4. La salida del integrador es directamente proporcional a la integral de la señal de entrada, y la ganancia en DC a la salida es infinita (teóricamente). Es decir, que cualquier señal pequeña en DC a la entrada saturaría la salida del amplificador.

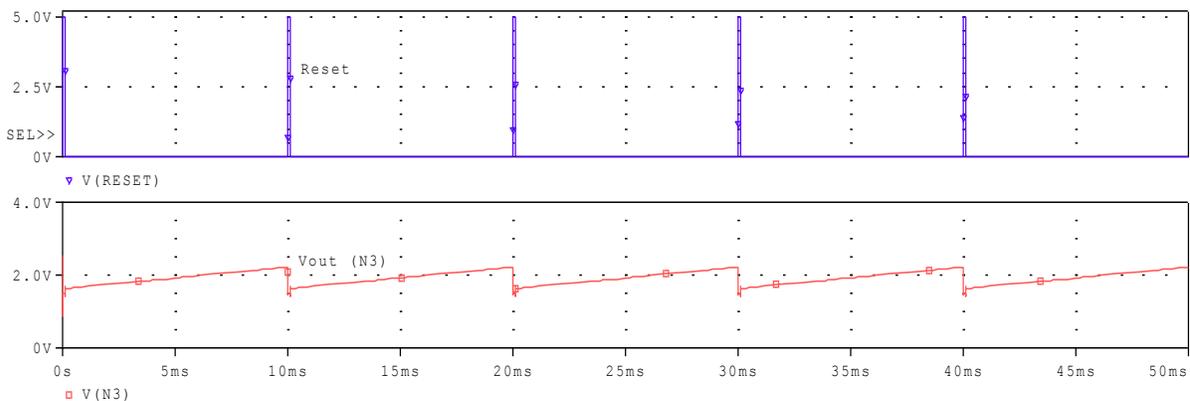


Figura 5.10 Funcionamiento del integrador en el dominio del tiempo.

5.2.2 Comparador

Este bloque está integrado por un par diferencial y por un comparador regenerativo, el cual emplea una retroalimentación positiva para lograr la comparación de dos señales, ver Figura 5.11. El comparador consiste de dos transistores tipo N con acoplamiento cruzado. Las fuentes de corriente y los sumideros de corriente son utilizados para detectar las corrientes DC en los transistores.

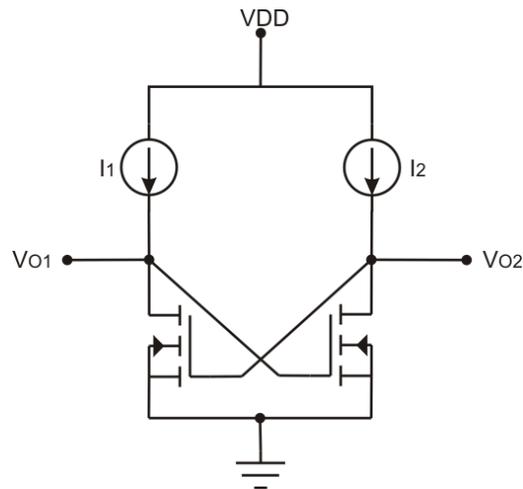


Figura 5.11 Comparador regenerativo.

El comparador tiene dos modos de operación. El primer modo deshabilita la retroalimentación positiva y aplica la señal de entrada para las terminales V_{O1} y V_{O2} . El voltaje inicial aplicado en este modo es asignado como V'_{O1} y V'_{O2} . Por otro lado, el segundo modo habilita el comparador y dependiendo de los valores relativos de V'_{O1} y V'_{O2} , una de las salidas será alta y la otra será baja. Además, se debe emplear un reloj de dos fases para determinar los modos de operación.

Para obtener estabilidad en el circuito de decisión y evitar efectos de desacoplamiento (*mismatch*), se propuso que las dimensiones de los transistores tengan un factor de $(W/L)_{11,12} = 1$. Es decir, los transistores M11 y M12 tienen como dimensiones $W = 10.8\mu m$ y $L = 10.8\mu m$.

Para calcular g_{m9} se requiere de la siguiente ecuación, donde la capacidad de carga es $C_L = 10fF$.

$$g_{m9} = GB \cdot C_L \rightarrow (W/L)_9 = (W/L)_{10} = \frac{g_{m10}^2}{K'_{10}I_8} \quad (5.7)$$

En la gráfica de la Figura 5.13 se muestra la respuesta del comparador en el dominio del tiempo. El desempeño del comparador es el siguiente. Cuando existe una tensión de entrada aleatoria V_{in} que proviene del integrador a través de N3, y un voltaje de referencia $V_{bias2} = 1.5V$. Se puede observar en la gráfica que cuando la transición del reloj (PHI2) es baja, la tensión de salida del comparador V_{out} en N6 sube toda vez que $V_{in} < V_{bias2}$ y baja si $V_{in} > V_{bias2}$.

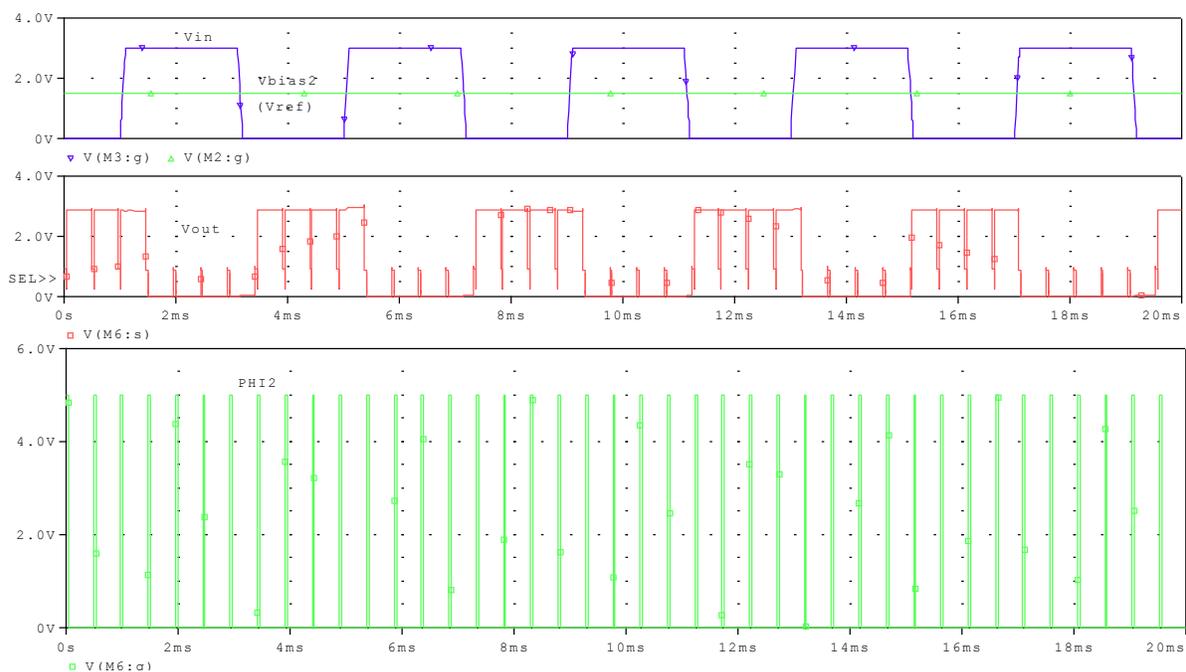


Figura 5.13 Respuesta del comparador en el dominio del tiempo.

Por otra parte, y como ya se había mencionado anteriormente, la diferencia del potencial entre V_{bias2} y V_{in} se almacena en el circuito de decisión (constituido por los transistores M11 y M12 acoplados con compuertas cruzadas) el cual se desempeña como un *latch* cuando PHI2 está en bajo. Es decir, que el estado del *latch* se mantiene mientras la señal del reloj está a un nivel bajo de tensión y el transistor M13 se encuentra apagado. Mientras que, cuando la señal del reloj está a un nivel alto, el transistor M8 apaga el

circuito, resultando en una reducción en el consumo de energía del circuito, como se muestra en la gráfica de la Figura 5.14.

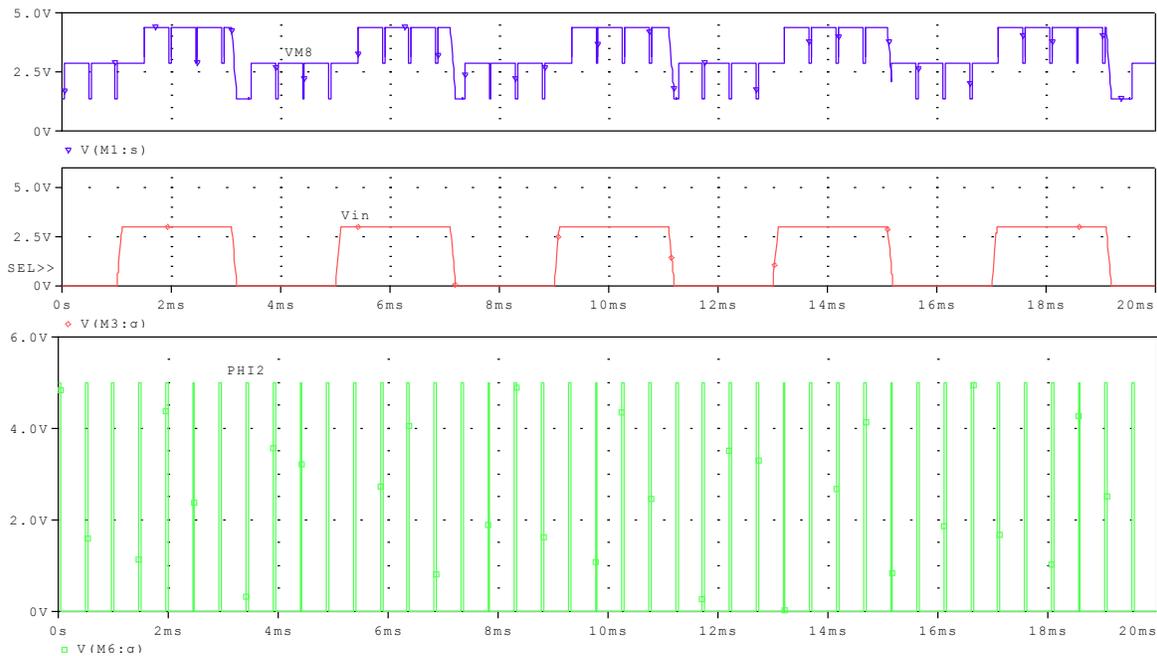


Figura 5.14 Desempeño del comparador visto como un latch.

5.2.3 Buffer

Para diseñar el circuito *buffer* se necesita dos inversores de entrada en paralelo y con una respuesta simétrica, además de que las corrientes de los transistores deben de ser iguales, debido a que operan como inversor digital, se pueden diseñar a dimensiones mínimas:

$$K'_p \frac{W_p}{L_p} = K'_n \frac{W_n}{L_n} \quad (5.8)$$

El área total que emplea un inversor, es la suma de las dos áreas de los transistores NMOS y PMOS, por lo que la ecuación para el diseño del inversor es:



$$A = W_p L_p + W_n L_n \quad (5.9)$$

Debido a que se tienen dos ecuaciones con cuatro incógnitas, se propone el valor de dos de ellas y se despejan las dos restantes. En este caso se propone que $W_n = 3.6\mu m$ y $L_p = 1.2\mu m$. Ahora, despejando W_p de la ecuación (5.8), tenemos:

$$W_p = \frac{K'_{n} L_p}{K'_{p} L_n} W_n \quad (5.10)$$

Sustituyendo la ecuación (5.10) en (5.9) tenemos:

$$A = \frac{K'_{n} L_p^2}{K'_{p} L_n} W_n + W_n L_n \quad (5.11)$$

Como la función área (A) depende ya únicamente de la variable L_n , entonces tenemos que:

$$A(L_n) = W_n \frac{K'_{n} L_p^2}{K'_{p} L_n} + W_n L_n \quad (5.12)$$

Derivando la función, tenemos que:

$$A(L_n) = W_n \frac{K'_{n} L_p^2}{K'_{p} L_n^2} + W_n \quad (5.13)$$

Si igualamos la ecuación a cero y despejamos L_n , obtenemos su valor, el cual caracteriza la dimensión de W_p al sustituir la ecuación (5.10). La ecuación queda de la siguiente forma:

$$L_n = L_p \sqrt{\frac{K'_{n}}{K'_{p}}} \quad (5.14)$$

De lo cual se realizan los siguientes cálculos. De la ecuación (5.14) tenemos que:



$$L_n = 1.2\mu m \sqrt{\frac{73.7 \times 10^{-6}}{36.8 \times 10^{-6}}} = 1.7\mu m$$

Y sustituyendo a L_n en la ecuación (5.10) tenemos:

$$W_p = \frac{73.7 \times 10^{-6}}{36.8 \times 10^{-6}} \cdot \frac{1.2\mu m}{1.7\mu m} \cdot 3.6\mu m = 5.1\mu m$$

Por lo tanto, se obtienen las siguientes dimensiones para los transistores del inversor:

$$W_n = 3.6\mu m ; L_n = 1.7\mu m ; W_p = 5.1\mu m ; L_p = 1.2\mu m$$

Las dimensiones obtenidas se corrigen con la simulación en DC para que la respuesta esperada del inversor sea lo más simétricamente posible.

El dibujo del diagrama esquemático del inversor empleando los transistores con las dimensiones calculadas y ajustadas (debido a que la respuesta en la salida del *buffer* tiene que ser la más adecuada) se muestra en la Figura 5.15 y su respuesta se puede observar en la Figura 5.16.

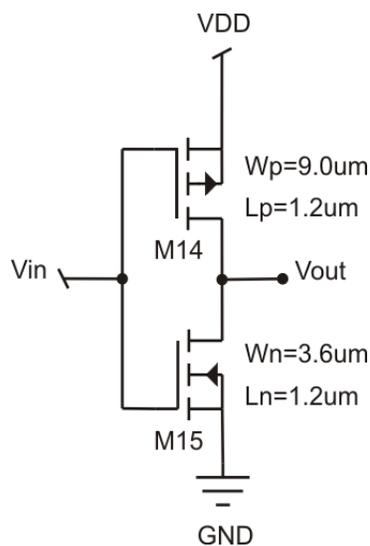


Figura 5.15 Esquema eléctrico del inversor.

Para el análisis en DC, se realiza un barrido de 0V a 5V de la tensión de entrada, lo cual nos permite ver la respuesta del inversor. Observando la gráfica de la Figura 5.17, podemos notar que la respuesta no es exactamente simétrica debido a que no pasa por el punto (2.5V, 2.5V), sino por el punto (2.35V, 2.25V). Sin embargo, es lo más cercano que se puede obtener en la simetría de la respuesta del inversor con respecto a la tecnología que se emplea en esta tesis.

Para obtener una buena aproximación en la respuesta, se debe disminuir ligeramente L_n hasta $1.2\mu m$ debido a que la tensión del transistor NMOS es mayor que la del transistor PMOS, y lo mismo sucede con la resistencia; para disminuirla, tiene que pasar mayor corriente, por lo cual debemos aumentar la relación W_n/L_n . Esto nos da una simulación con una respuesta que pasa por el punto (2.5V, 2.56V) la cual es muy aceptable, como se muestra en la Figura 5.18 y en la Figura 5.19. Sin embargo sólo se puede lograr en la simulación y no en el diseño topológico (*layout*).

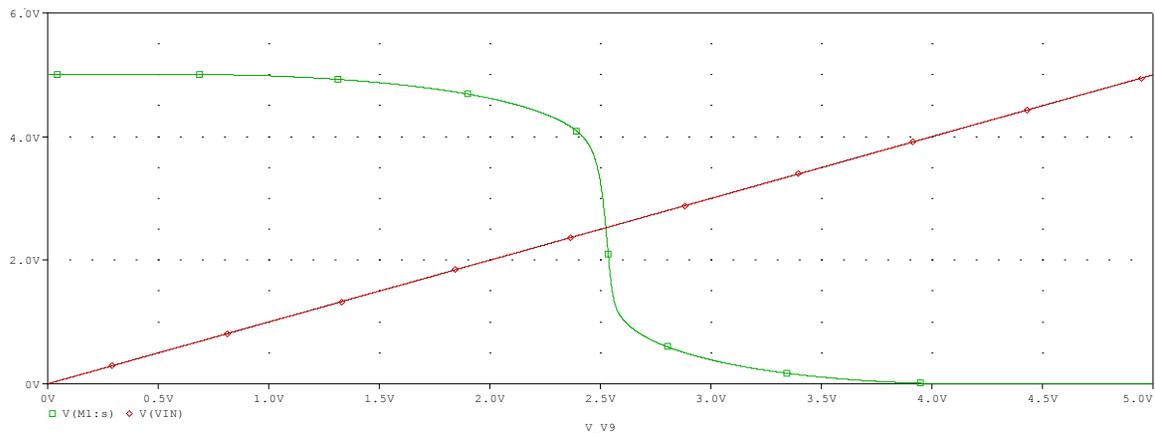


Figura 5.16 Respuesta del inversor con W_n/L_n originales (calculados).

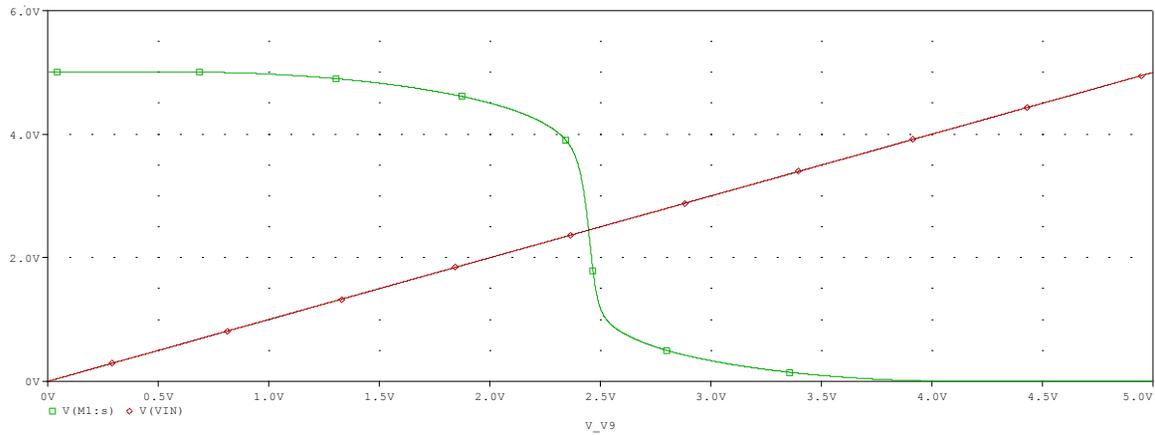


Figura 5.17 Respuesta del inversor con W_n/L_n ajustados a la tecnología de $0.5\mu m$.

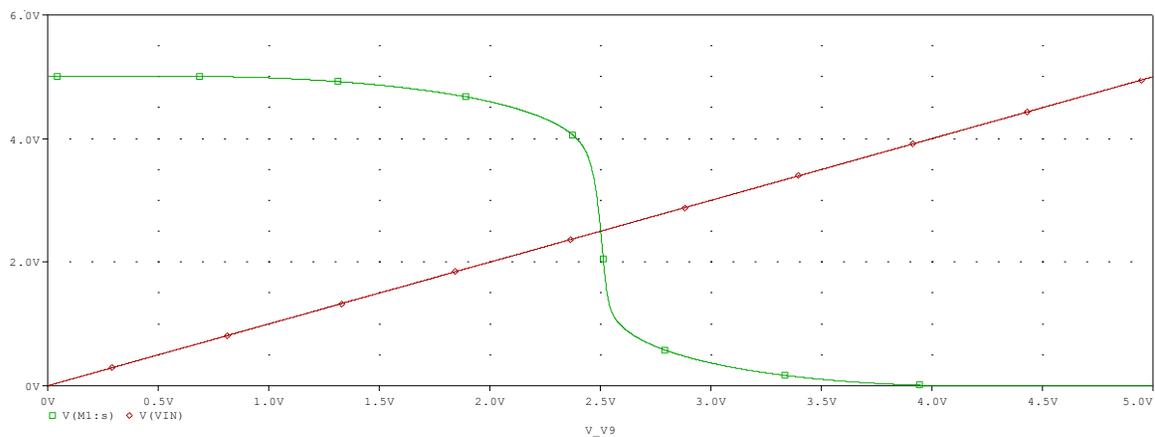


Figura 5.18 Respuesta del inversor con W_n/L_n ideales ($W_n = 3.6\mu m$; $L_n = 2.0\mu m$; $W_p = 6.4\mu m$; $L_p = 1.2\mu m$).

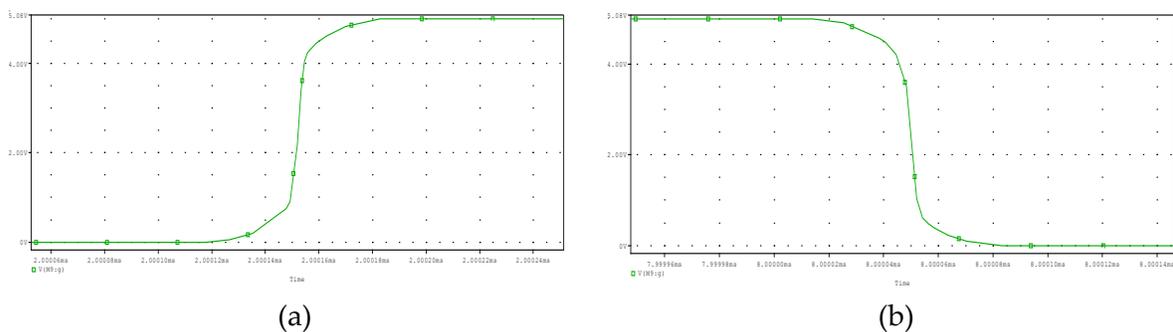


Figura 5.19 (a) Tiempo de subida en la señal de salida. (b) Tiempo de bajada en la señal de salida.

Por último, para tener el bloque completo del *buffer*, es necesario tener dos inversores en serie, ver Figura 5.20. Esto es necesario debido a que lo que se desea con el bloque es que la señal de salida sea reforzada (0V ó 5V). En la gráfica de la Figura 5.21 y Figura 5.22 se puede observar el comportamiento en DC y en el dominio del tiempo respectivamente del *buffer* con las dimensiones ajustadas. Se observa que la respuesta del *buffer* es simétrica y que pasa por el punto (2.20V, 2.25V), lo que se puede considerar como una respuesta aceptable para el circuito propuesto.

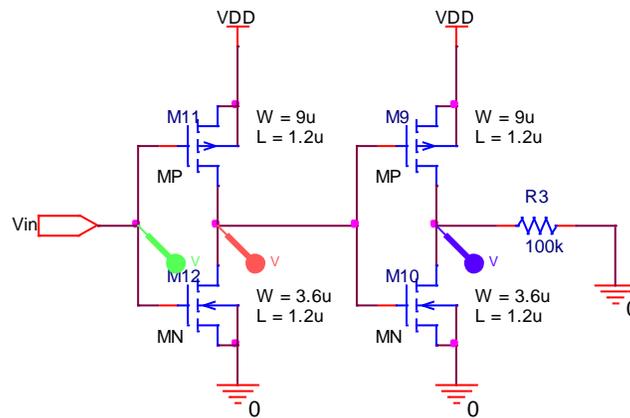


Figura 5.20 Diagrama esquemático del *buffer* con W_n/L_n ajustadas.

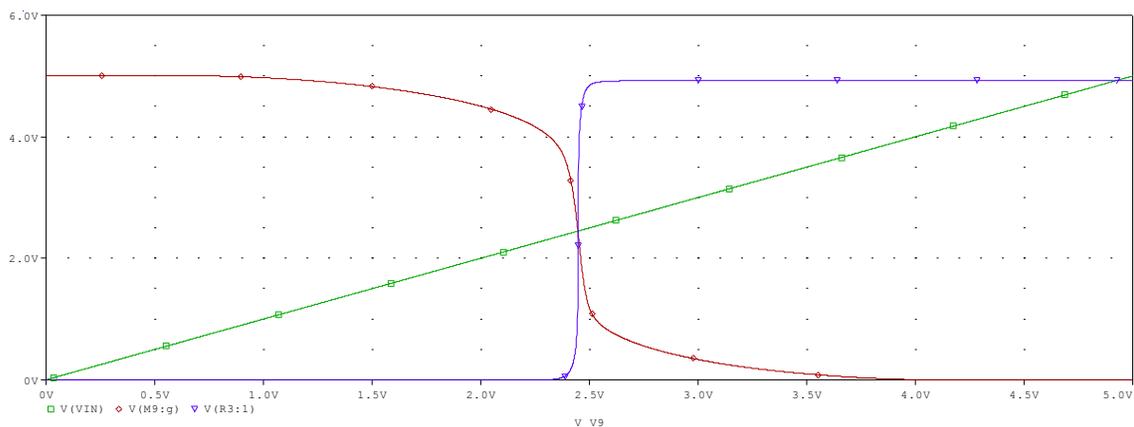


Figura 5.21 Respuesta del *buffer* con W_n/L_n ajustadas.

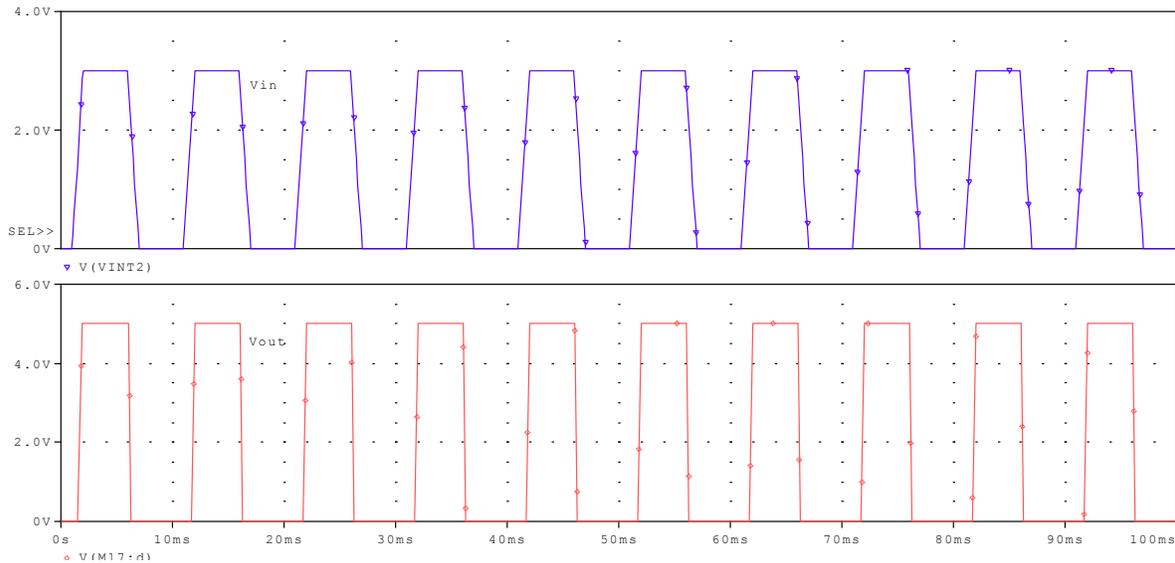


Figura 5.22 Respuesta del buffer en el dominio del tiempo con W_n/L_n ajustadas.

5.2.4 Convertidor DA de 1-Bit

El convertidor DA de 1-bit utilizado en la arquitectura propuesta se constituye de un capacitor de $40fF$ y tres transistores NMOS de dimensiones mínimas permitidas por la tecnología ($W = 3.6\mu m$ y $L = 1.2\mu m$) como se puede observar en la Figura 5.23. El convertidor es implementado mediante un capacitor conmutable. El voltaje del transistor M19 (señal PHI1) puede ser utilizado para controlar la cantidad de carga transferida a C2. Por lo tanto, para que la carga quede almacenada en C2 se puede realizar mediante el ajuste del voltaje del transistor M19.

El comportamiento del convertidor DA es el siguiente, como ya se había mencionado, el convertidor DA no convierte la salida del comparador a un voltaje analógico, en lugar de eso, emplea a C2 para retirar la carga que contiene C1 en ese lapso de tiempo, teniendo como resultando un incremento en el voltaje de salida del integrador. Cuando la salida del comparador está en alto, entonces PHI1 es alto y PHI2 es bajo (por ser complemento de PHI1) provocando que C2 se conecte directamente a la entrada del

integrador, transfiriendo carga fuera de C1 (reteniéndola en C2). Sin embargo, cuando la salida del comparador está en bajo, ninguna carga es removida de C1, esperando que PHI2 esté en alto para que C2 se descargue, como se puede observar en la Figura 5.24.

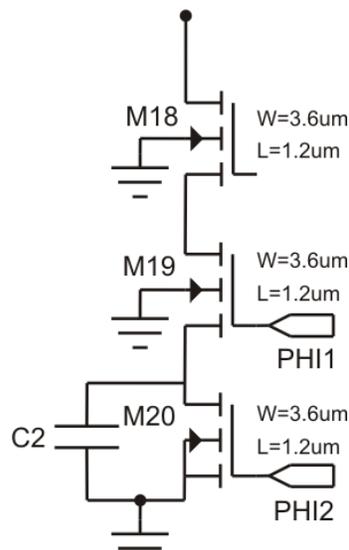


Figura 5.23 Esquema eléctrico del convertidor DA de 1-bit.

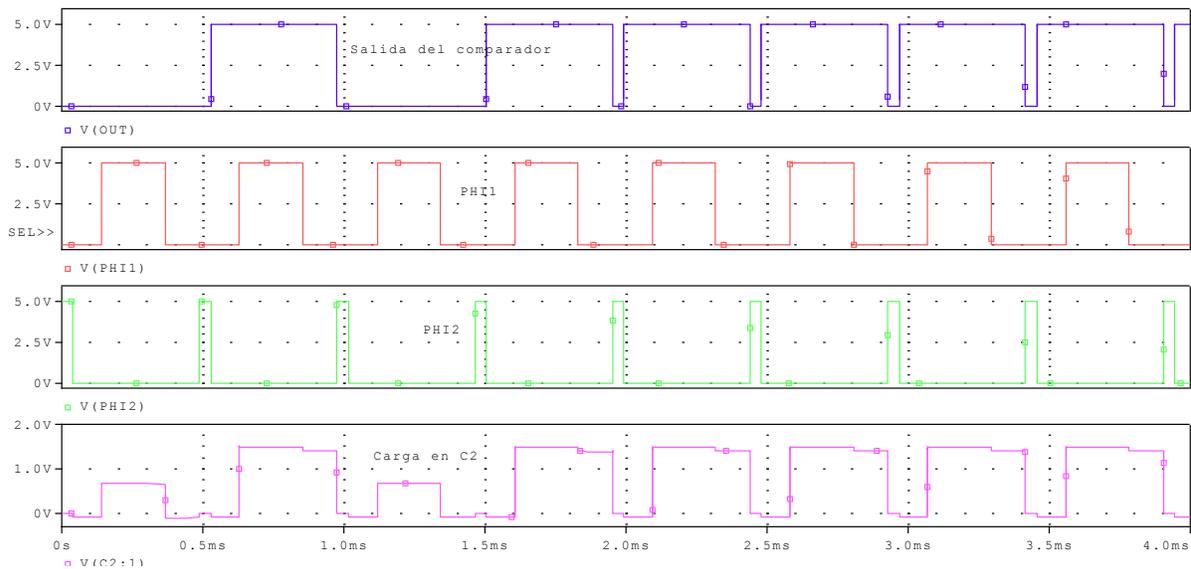


Figura 5.24 Respuesta del convertidor DA de 1-bit en el dominio del tiempo.

5.3 Desempeño del convertidor

Después de realizar los cálculos de las dimensiones de W y L de los transistores y de las dimensiones de los capacitores que integran la arquitectura propuesta, ver Figura 5.25, se efectuó la simulación del circuito esquemático en PSpice. Cabe mencionar que V_{bias1} se estableció a una tensión de 3.75 V para mantener saturado a $M3$ y permitir una máxima excursión de la señal de salida del integrador. V_{bias2} se estableció a una tensión de 1.5 V y corresponde al umbral de transición cuantificador.

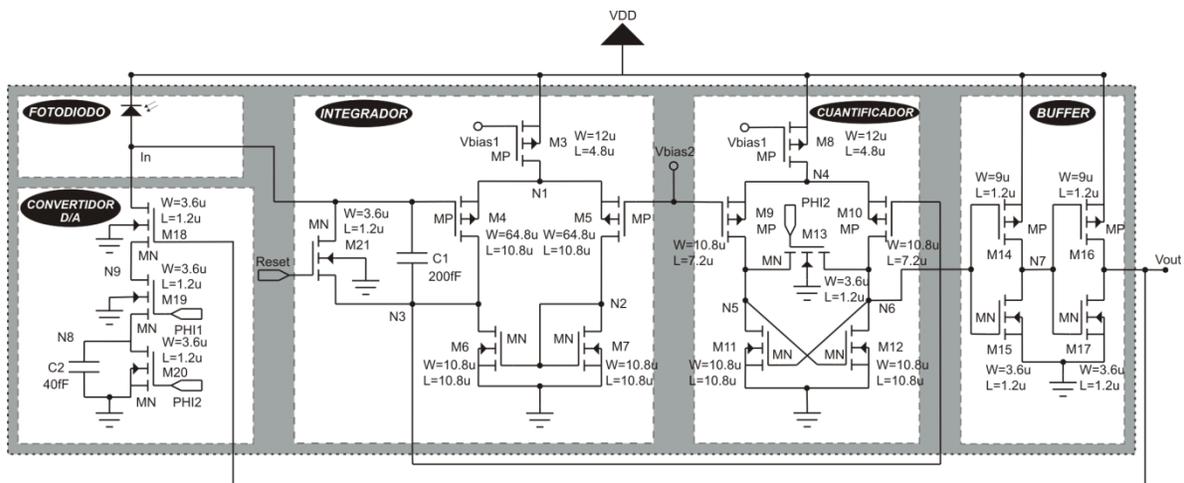


Figura 5.25 Dimensiones de los dispositivos del circuito esquemático del convertidor AD $\Sigma\Delta$.

Las formas de onda de la simulación del convertidor se muestran en la Figura 5.26. Si se toma como muestra una señal sinusoidal de entrada, el modulador realiza la retención de las muestras de las señales por medio del circuito de sobre-muestreo y pone en funcionamiento la cuantificación para entregar una señal modulada por densidad de pulsos. En cada ciclo de reloj, el valor de la salida del modulador es alto o bajo de acuerdo a la señal analógica de entrada. La densidad de pulsos representa el valor promedio de la señal en un ciclo de reloj. Como se puede observar, para la señal sinusoidal de entrada, cuando los picos de la señal sinusoidal de entrada se encuentran cerca de la escala alta,



entonces la mayoría de los pulsos son altos. Y si el valor de la señal decrece, entonces los pulsos se distribuyen en altos y bajos de acuerdo con el valor de la señal de entrada.

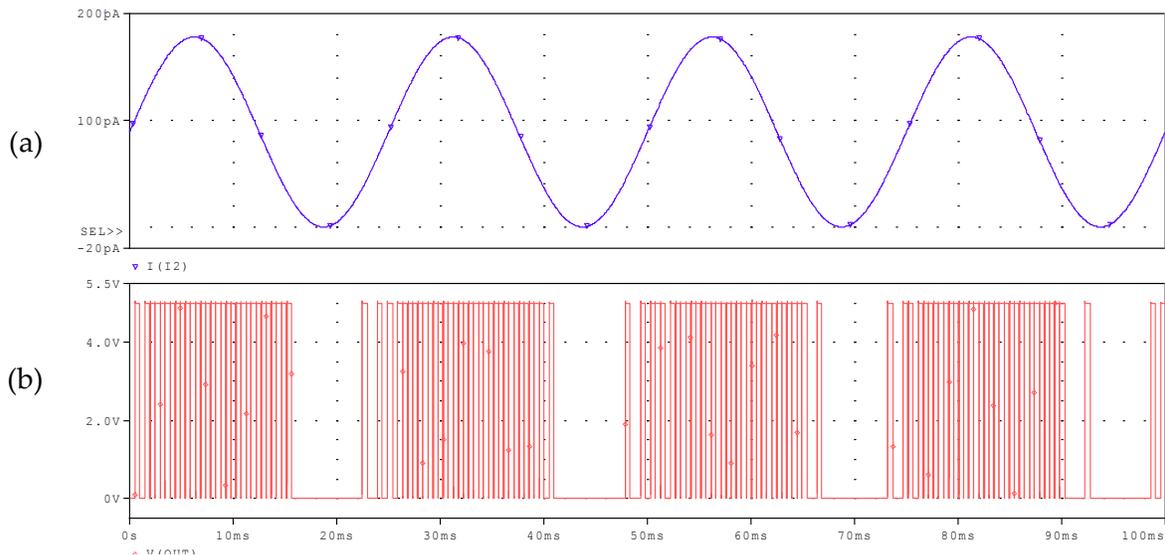


Figura 5.26 (a) Señal de entrada del convertidor. (b) Señal de salida del convertidor.

En la Figura 5.26 podemos percibir que la señal de salida correspondiente a cada periodo de la señal sinusoidal de entrada no es igual. Esto se debe a que las ecuaciones que tiene que solucionar PSpice son no-lineales y utiliza métodos numéricos, además de que la frecuencia de muestreo sujeta por PHI1 y PHI2, es modelada con pulsos que tienen un tiempo de subida y un tiempo de bajada del orden de nano-segundos (intentando simular un pulso real), por lo que la comparación presenta una histéresis.

Ahora bien, queda entendido que la señal de entrada del modulador $\Sigma\Delta$ es una corriente (fotocorriente) del orden de 100pA y la salida digital es generada por el decimador. Lo que permite interpretar que la señal de salida generada por el modulador $\Sigma\Delta$ es una serie de pulsos modulados por la tensión de entrada. Dicha serie de pulsos no puede considerarse como el valor digital real de la señal de entrada, sin embargo esta serie de pulsos son de utilidad para la caracterización del desempeño del modulador, además



de que sirve como señal de entrada para la etapa de filtrado y eliminar las frecuencias altas (donde se encuentra el ruido de cuantización) de la señal durante esta etapa.

5.4 Resumen del capítulo

En este capítulo se presenta la simulación de una arquitectura básica del modulador $\Sigma\Delta$ de primer orden en Simulink de Matlab, además de que se da una breve explicación de cada uno de los bloques que utiliza el sistema. Los bloques empleados son: a) un sumador; b) un integrador representado por un sumador y un bloque de retardo; c) un cuantificador representado por una señal de histéresis, y d) un convertidor DA de 1-bit representado por un bloque de ganancia. No obstante, para obtener una simulación real del sistema, es necesario integrar algunos otros bloques para el funcionamiento correcto e ideal del mismo. Se utiliza un bloque forma de onda como fuente de onda sinusoidal y un bloque *Zero-Order Hold* para simular el proceso de muestreo de la señal.

Posteriormente se presentan los cálculos de las dimensiones de W y L de cada uno de los transistores y capacitores que componen a cada uno de los bloques de la arquitectura propuesta en este trabajo de tesis (el integrador, el comparador-*buffer* y el convertidor DA de 1-bit), además de que se da una breve explicación de la respuesta en frecuencia de cada uno de ellos ya con las dimensiones establecidas.

Por último, se da una explicación del desempeño del convertidor AD $\Sigma\Delta$, donde se puede observar que las simulaciones, tanto el sistema de Simulink como la simulación del circuito esquemático en PSpice se comportan de manera muy similar. Las conclusiones finales que se obtuvieron posteriormente al análisis de los resultados de ambas simulaciones se presentan en el siguiente capítulo, además de dar una explicación de la dinámica resultante del convertidor de señal con base en la función de transferencia de los bloques funcionales resultantes.



CAPÍTULO 6.

ASPECTOS FINALES

En este último capítulo se dan las conclusiones a las que se llegaron con el desarrollo del diseño del sistema convertidor de señal con aplicación en sensores de imágenes basado en la tecnología CMOS a través de un modulador $\Sigma\Delta$. Por último se mencionan los posibles trabajos futuros que se pueden desarrollar en relación al presente trabajo de tesis.

- 6.1 Conclusiones*
- 6.2 Trabajo futuro*



CAPÍTULO 6 Aspectos finales

6.1 Conclusiones

Con el diseño de un convertidor de señal con aplicación en sensores de imágenes se logró determinar una arquitectura adecuada del circuito modulador $\Sigma\Delta$, que como se ha mostrado en los capítulos anteriores, consta de tres bloques (integrador, cuantificador y un convertidor DA de 1-bit). Posteriormente, se obtuvo un diseño topológico (*layout*) completo del circuito de dimensión aproximada $51\mu m \times 184\mu m$ con una tecnología de $0.5\mu m$ lo que permite una optimización del área cuando se anexa a la matriz de píxeles. Las ventajas que podemos obtener con este tipo de arquitectura y diseño, es que no se necesitan tantos elementos electrónicos, además de que el consumo de energía es menor, evitando de esta manera temperaturas excesivas. La lectura a alta velocidad es otra ventaja que presenta este trabajo de tesis con la configuración del sensor de imagen en un esquema paralelo de conversión.

De acuerdo con la geometría del diseño geométrico del *layout* que se obtuvo (con un área de $9.38 \times 10^{-9} m$), se pudo definir que la topología del mismo es compatible con un arreglo de píxeles empleados para capturar imágenes. Esto se logró gracias a que en la modulación $\Sigma\Delta$ se utilizan circuitos analógicos simples y que son realizables en tecnologías CMOS, además de que se pueden lograr resoluciones muy altas a bajo costo en comparación con otras tecnologías aplicadas en el área de la fotografía digital.

Por otra parte, se concluye que el desempeño del convertidor AD es aceptable. Como primera instancia y para la comprensión del comportamiento del sistema se simuló el sistema completo en Simulink, ver Figura 5.1. Partiendo de éste modelo, se propuso un circuito esquemático equivalente, ver Figura 4.1, considerando cada uno de los bloques para su simulación en PSpice. En la Figura 6.1 y en la Figura 6.2 se muestran los



comportamientos del sistema simulado en Simulink y el circuito simulado en PSpice respectivamente, donde se observa que son muy similares.

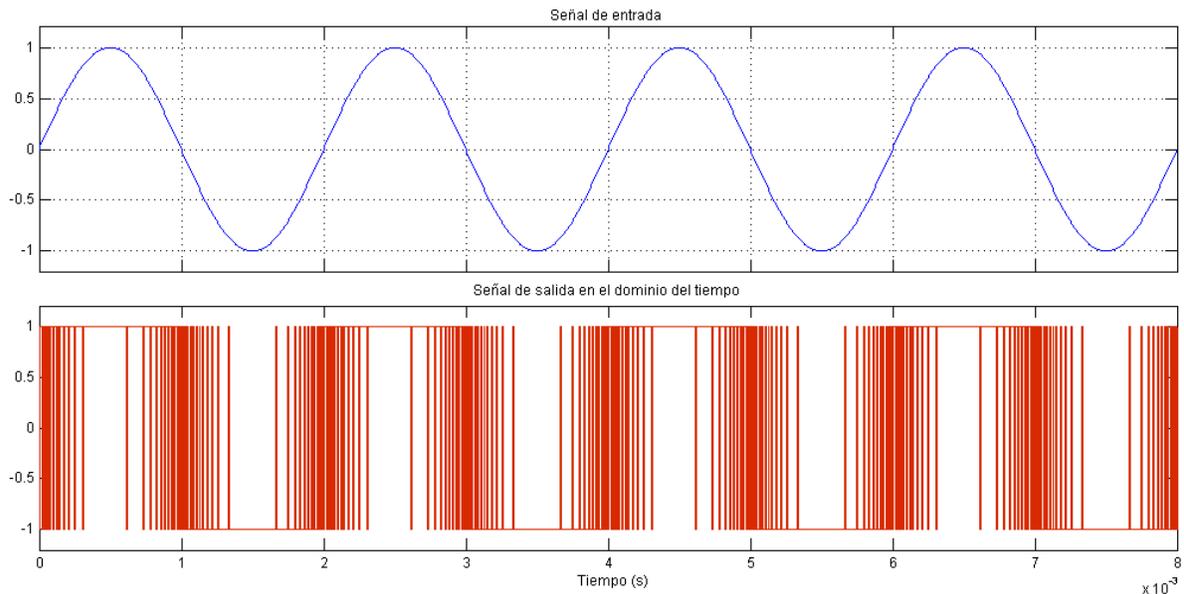


Figura 6.1 Comportamiento del sistema de conversión $\Sigma\Delta$ simulado en Simulink de Matlab 2008a.

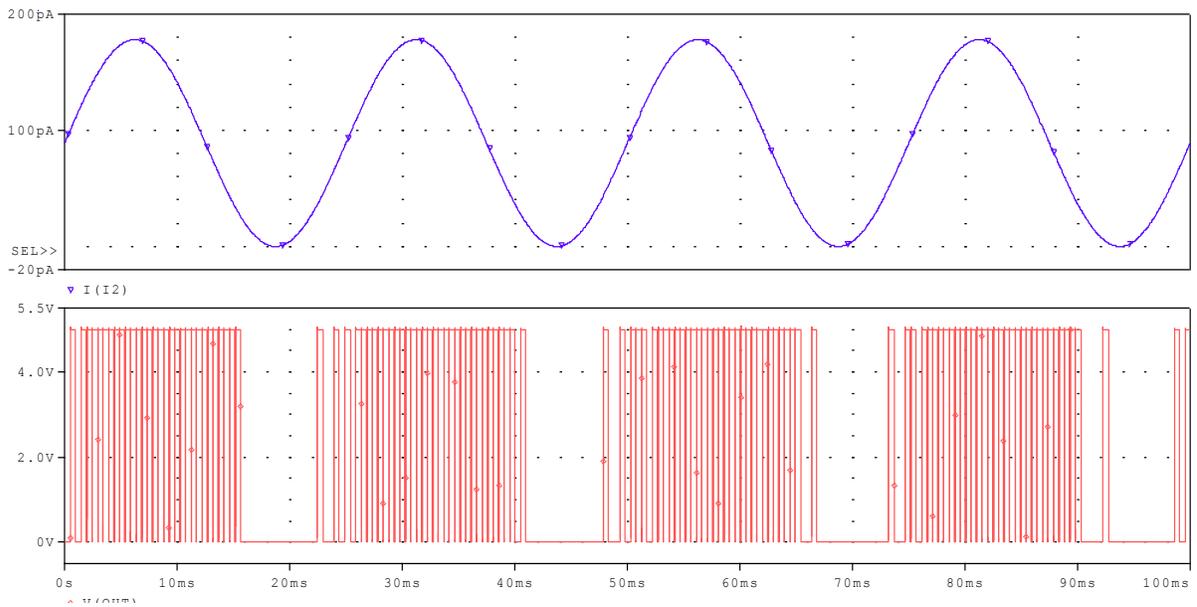


Figura 6.2 Comportamiento del circuito de conversión $\Sigma\Delta$ simulado en PSpice de OrCad 10.3.

Sin embargo, se puede observar en la Figura 6.2 que la densidad de pulsos tiende a disminuir. Este efecto es debido a que la señal de salida en la simulación de PSpice proviene de un circuito hecho con transistores y con un cuantificador (comparador) que es restablecido a través de un reloj. Dicho comparador siempre pasa a un estado inicial (*reset*) necesario para que se pueda realizar la comparación, dicho efecto es inevitable para el correcto funcionamiento del modulador $\Sigma\Delta$ presentado en esta tesis. El estado *reset* justamente, es un cero lógico ineludible. De esta manera, cuando se deberían de observar una cantidad de unos seguidos (salidas cerca de la escala alta cuando los picos de la señal sinusoidal son altos), se observa que hay pulsos altos y bajos (el 1 de la salida y el 0 del *reset*). Para eliminar este efecto, la señal de salida se tendría que pasar por un circuito que detenga el estado anterior durante el tiempo de *reset*, similar a un *latch*. Este efecto no afecta el desempeño del modulador $\Sigma\Delta$, debido a que este *reset* se puede eliminar a nivel software cuando se realiza la decimación.

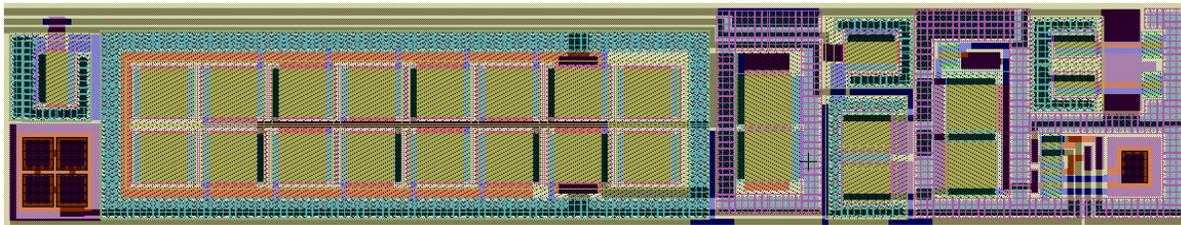


Figura 6.3 Diseño del convertidor AD $\Sigma\Delta$ propuesto.

En base a lo anterior, se llevó a cabo el diseño topológico (*layout*) empleando una tecnología de $0.5\mu m$, ver Figura 6.3 (las dimensiones de cada uno de los bloques que integran el convertidor se pueden verificar en el **Anexo C**). El diseño fue sometido a la extracción de elementos parásitos para detectar las capacitancias que pueden afectar al desempeño del convertidor cuando son mayores a los $30fF$, de las cuales se detectaron 13 capacitancias parásitas, ver **Anexo B**. Estas capacitancias parásitas son inevitables debido a



que son un efecto colateral indeseable de la fabricación de los MOSFET. El valor de las capacitancias parásitas depende en gran medida del tamaño de cada uno de los transistores conectados a los nodos en donde se encuentran los capacitores parásitos.

La existencia de estas capacitancias parásitas nos da como resultado un efecto negativo en la velocidad de operación del circuito debido a que el voltaje que pasa a través de un capacitor no puede cambiar de manera instantánea. El tiempo que requiere para cargar y descargar un capacitor está en función del tamaño de la capacitancia y de la cantidad de corriente que fluye por él. Por tanto, entre más grande es la capacitancia parásita, mayor será el efecto negativo en el desempeño del circuito. En la Tabla 6.1 se pueden observar las características obtenidas del convertidor AD $\Sigma\Delta$ diseñado en esta tesis.

Características del convertidor AD $\Sigma\Delta$	
Tecnología	0.5 μm , 3 capas de metal, 2 capas de poli-silicio, pozo-n CMOS
Área del dado	51 μm \times 184 μm
Voltaje de alimentación	5 V
Voltaje de polarización del par diferencial	1.5 V
Voltaje de referencia	3.75 V
Corriente de la señal de entrada (fotocorriente)	100 pA (aprox.)

Tabla 6.1 Características del convertidor AD $\Sigma\Delta$ de área 51 μm \times 184 μm .

Por último, la dinámica resultante con base en la función de transferencia de los bloques del convertidor fue la siguiente. El modulador $\Sigma\Delta$ de primer orden que se empleó en este trabajo de tesis utiliza un integrador, un cuantificador (convertidor AD de 1-bit) y un convertidor DA de 1-bit en el lazo de retroalimentación del sistema, ver Figura 6.4. Las variables son empleadas en términos de tiempo T , que es la inversa de la frecuencia de muestreo, y C la cual es un valor entero.

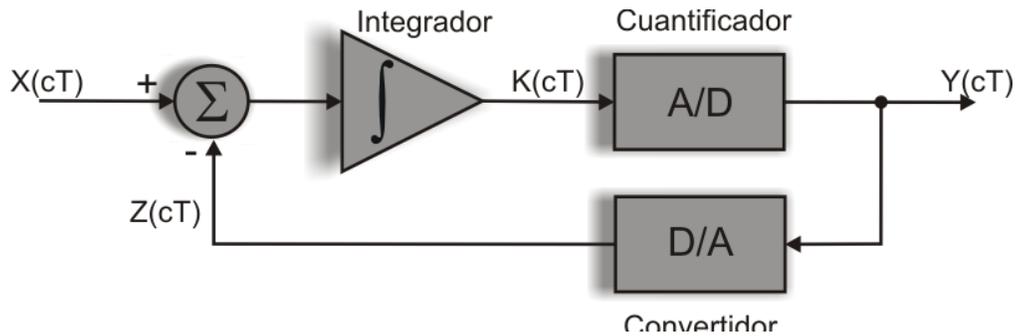


Figura 6.4 Modulador Sigma-Delta de primer orden.

Como se ha mencionado anteriormente, el cuantificador está conformado por un convertidor AD de 1-bit, el cual convierte la señal analógica entrante en una serie de pulsos altos o bajos, mientras que el convertidor DA de 1-bit determina con la salida del cuantificador si el voltaje $+V_{ref}$ o $-V_{ref}$ es sumado en la entrada del integrador. Entonces tenemos que, la salida del integrador $K(cT)$ es:

$$K(cT) = X(cT - T) - Z(cT - T) + K(cT - T) \quad (6.1)$$

De donde, $X(cT - T) - Z(cT - T)$ es la señal de entrada del integrador y $K(cT - T)$ es la salida del mismo. Mientras que el error de cuantificación para el convertidor AD de 1-bit está definida por la diferencia entre su salida y su entrada, tal que:

$$Z_e(cT) = Y(cT) - K(cT) \quad (6.2)$$

Sustituyendo (6.1) en (6.2) tenemos:

$$Z_e(cT) = Y(cT) - X(cT - T) + Z(cT - T) - K(cT - T) \quad (6.3)$$

Entonces la respuesta de salida $Y(cT)$ es:

$$Y(cT) = Z_e(cT) + X(cT - T) - Z(cT - T) + K(cT - T) \quad (6.4)$$



Para un convertidor DA de 1-bit ideal, se tiene que si la entrada es $Y(cT) = 1$, entonces la salida del mismo sería $Z(cT) = +V_{ref}$. En caso contrario si $Y(cT) = 0$, entonces su salida sería $Z(cT) = -V_{ref}$. Por lo tanto, como el convertidor DA de 1-bit está constituido de transistores CMOS conmutables y acoplados que conectan $+V_{ref}$ o $-V_{ref}$ al nodo V_{out} del circuito, tenemos que:

$$Y(cT) = Z(cT) \quad (6.5)$$

Sustituyendo (6.5) en (6.2) tenemos:

$$Z_e(cT) = Z(cT) - K(cT) \text{ Tal que} \quad (6.6)$$

$$Z_e(cT - T) = Z(cT - T) - K(cT - T) \quad (6.7)$$

Por último, sustituyendo (6.7) en (6.3), obtenemos que:

$$Y(cT) = Z_e(cT) - Z_e(cT - T) + X(cT - T) \quad (6.8)$$

Y se concluyó que la salida del modulador $\Sigma\Delta$ de primer orden empleado $[Y(cT)]$, es igual a la diferencia del error de cuantificación entre el valor presente y el valor anterior $[Z_e(cT) - Z_e(cT - T)]$, más el valor cuantificado de la entrada de la señal retardada por un periodo de muestra $[X(cT - T)]$.

6.2 Trabajo Futuro

El trabajo futuro que se considera en relación al presente trabajo de tesis es:

1. Fabricar el convertidor de señal y realizar mediciones eléctricas, bajo condiciones de iluminación controladas.



-
2. Diseñar un *decimador*, para poder convertir la información contenida en los pulsos que entrega el modulador Sigma Delta en una representación numérica binaria.
 3. Proponer mejoras al convertidor con base en los resultados de las mediciones eléctricas.
 4. Proponer un circuito lógico y de control, para poder operar un conjunto de convertidores Sigma Delta en paralelo y con ello dotar de cierto paralelismo a la fase de conversión AD, de un virtual sensor de imágenes en tecnología CMOS.



Referencias

Libros y Monografías

- [1] Alireza Moini: *Vision Chips or Seeing Silicon*. The Centre for High Performance Integrated Technologies and Systems, Department of Electrical & Electronics Engineering. University of Adelaide. 1997.
- [2] Behzad Razavi: *Design of Analog CMOS Integrated Circuits*. McGraw Hill. 2001.
- [3] Behzad Razavi: *Fundamentals of Microelectronics*. Wiley. 2006.
- [4] David Báez López: *Análisis de circuitos con PSpice*. Cuarta Edición. Alfaomega Grupo Editor, 2009.
- [5] Franco Maloberti: *Data Converters*. Pavia University, Italy. Springer. 2007.
- [6] Katsuhiko Ogata: *Sistemas de Control en Tiempo Discreto*. Segunda Edición. Pearson Educación, 1996.
- [7] Neil H. E. Weste, Kamran Eshraghian: *Principles of CMOS VLSI Design a Systems Perspective*. Addison-Wesley Publishing Company. 1985.
- [8] Orly Yadid-Pecht and Ralph Etienne-Cummings (Eds.): *CMOS Imagers: from Phototransduction to image processing*. Kluwer Academic Publishers.
- [9] Phillip E. Allen, Douglas R. Holberg: *CMOS Analog Circuit Design*. Second Edition. Ney York, Oxford. Oxford University Press. 2002.
- [10] *PSpice, Reference Guide*. 1985-2000 Cadence Desing Systems, Inc. Second Online Edition. May 2000.
- [11] R. Jacob Baker, Harry W. Li and David E. Boyce: *CMOS Circuit Design, Layout, and Simulation*. Second Edition. Department of Electrical Engineering. Microelectronics Research Center. The University of Idaho. IEEE Press Series on Microelectronic Systems. Stuart K. Tewksbury, Series Editor.
- [12] Richard Schreier, Gabor C. Temes: *Understanding Delta-Sigma Data Converters*. IEEE Press, Wiley-Interscience. 2004.
- [13] Robert L. Boylestad: *Introducción al Análisis de Circuitos*. Décima Edición, Pearson, Prentice Hall. 2004.



-
- [14] Sangil Park: *Principles of Sigma-Delta Modulation for Analog-to-Digital Converters*. Motorola Digital Signal Processors. Apr8/D Rev. 1.
- [15] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes: *Delta-Sigma Data Converters Theory, Design, and Simulation*. IEEE Circuits & System Society, sponsor. 1996.
- [16] Trond Ytterdal, Yuhua Cheng, Tor Fjeldly: *Device Modelling for Analog and RF CMOS Circuit Design*. Wiley. 2003.
- [17] Walt Kester, James Bryant: *Analog-Digital Conversion, Data Converters Architectures. Section 3.3: Sigma-Delta Converters*.
- [18] Walt Kester: *Data Conversion Handbook*. Analog Devices, Inc. Elsevier. 2005.

Revistas y Actas de Congresos

- [19] A. Fornasari, P. Malcovati, F. Maloberti: *Improved Modeling of Sigma-Delta Modulator Non-Idealities in SIMULINK*. Proc. of the IEEE International Symposium on Circuits and Systems, ISCAS 2005, Kobe, 23 - 26 May, Vol. 6, pp. 5982 – 5985.
- [20] Anthony Delgadillo, Luis Méndez, Miguel Melgarejo: *Modulador Sigma Delta En FPGA Para El Procesamiento De Señales De Voz*. Grupo de Investigación en Lógica Programable y Técnicas Digitales. Universidad Distrital Francisco José de Caldas. Bogotá, Colombia.
- [21] Bernhard E. Boser and Bruce A. Wooley. *The Design Of Sigma-Delta Modulation Analog-to-Digital Converters*. Solid State Circuits, IEEE Journal of, vol. 23, no. 6, pp. 1298 – 1308, Dec. 1988.
- [22] Camilo Quintáns Graña: *Estructuras Avanzadas de Convertidores Analógico-Digital: Metodologías de Diseño, Simulación y Enseñanza*. Departamento de Ingeniería Eléctrica, Electrónica y de control. Escuela Técnica Superior de Ingeniería Industrial. Universidad Nacional de Educación a Distancia. Madrid, 2008.
- [23] Chen lei, Zhao Yuanfu, Gao Deyuan, Wen Wu, Wang Zongmin, Zhu Xiaofei, Peng Heping: *A decimation Filter Design and Implementation for Oversampled Sigma Delta A/D Converters*. IEEE int. Workshop VLSI Design & Video Tech. Suzhou, China, May 28-30, 2005.
- [24] David X. D. Yang, Boyd Fowler, Abbas El Gamal: *A 128X128 Pixel CMOS Area Image Sensor With Multiplexed Pixel Level AD Conversion*. Information System Laboratory, Standford, CA. Custom Integrated Circuits Conference, 1996. Proceedings of the IEEE, pp. 303 – 306, 1996.



-
- [25] Drago Strle: *Efficient Testing of Σ - Δ AD Converters*. Faculty for Electrical Engineering University of Ljubljana, Ljubljana, Slovenia. Electronics, Circuits and System, 2008. ICECS 2008. 15th IEEE International Conference on, pp 1225 – 1228, 2008.
- [26] F. Sandoval-Ibarra, E. Montoya-Suárez: *El Inversor CMOS y su Uso en el Diseño de Sistemas de Mayor Complejidad*. Revista Mexicana de Física 50 (2) 114-119. Diciembre 2004.
- [27] Iván Jaramillo, Antonio García, Fernando Prieto Avellaneda, Carlos Andrés Jarro, Diego Andrés Zapata: *Diseño de un Convertidor Análogo-Digital Integrado Tipo Paralelo*. Grupo de Microelectrónica Universidad Nacional de Colombia; Centro de Microelectrónica Universidad de los Andes; Pontificia Universidad Javeriana Colombia.
- [28] José M. de la Rosa, Senior Member IEEE: *Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey*. IEEE Transactions on Circuits and Systems. I: Regular Papers, Vol. 58, No. 1, January 2011.
- [29] Juan N. Zambrano C.: *Diseño de un Conversor AD*. Vínculos Diciembre de 2007, Volúmen 4, Número 1. Universidad EAFIT, Medellín. 2007.
- [30] Martin Vogels, Georges Gielen: *Architectural Selection of A/D Converters*. Katholieke Universiteit Leuven, ESAT-MICAS, Leuven, Belgium.
- [31] P. Estrada, F. Maloberti: *Software Tool for Design and Simulation of Data Converters*. Texas A&M University, College Station, Texas, USA. University of Pavia, Pavia, Italy.
- [32] P. M. Silva, V. Correia, S. Lanceros Méndez, J.G. Rocha: *Sigma-Delta A/D Converter for CMOS Image Sensors*. Dept. Ind. Electron., Univ. of Minho, Guimaraes, Portugal. Microelectronics (ICM), 2009 International Conference on Microelectronics.
- [33] Sunghyun Park, Michael P. Flynn: *A Regenerative Comparator Structure With Integrated Inductors*. IEEE Transactions on Circuits and Systems. I: Regular Papers, Vol. 53, No. 8, August 2006.



ANEXO A

A.1 Configuración de parámetros en PSpice para transistores MOSFET de canal N y canal P

Para obtener una buena configuración de PSpice de OrCAD [10], se debe tener en cuenta que los modelos de algunos transistores utilizados en diagramas esquemáticos vienen ya establecidos por los fabricantes de los transistores. Sin embargo, en algunos casos no ocurre así. Por lo que el usuario debe de establecer un modelo para los transistores que desee emplear en su simulación. Un caso en particular, los transistores tipo MOSFET empleados en este software, requiere de todo un conjunto de parámetros especificados para tratar de simular y/o modelar lo más exacto posible los transistores empleados en el circuito esquemático. Y con esto, tratar de que los resultados obtenidos en la simulación sean los más cercanos a los resultados obtenidos del circuito construido físicamente.

Ahora bien, para que PSpice reconozca todo este conjunto de parámetros de los transistores, en primer lugar se debe de acceder al sitio web de MOSIS (<http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/v03m-params.txt>), donde se pueden localizar tales parámetros.

En el sitio web mencionado, se encuentra un reporte, el cual contiene los resultados de los promedios obtenidos por MOSIS a partir de algunas mediciones de estructuras de pruebas de MOSIS en cada oblea del lote fabricado. Además de que se adicionan parámetros de Spice obtenidos de las mediciones similares en una oblea seleccionada.

Del reporte, únicamente se tomaron en cuenta los parámetros de V03M SPICE BSIM3 VERSION 3.1 PARAMETERS, donde se especifican los transistores MOSFET tipo NMos y PMos.



Posteriormente el archivo fue nombrado como “*CMOS1_2.lib*”, que junto con los archivos que se muestran en la Figura A.1. Se almacenaron en la siguiente ruta: “*C:\OrCAD\OrCAD_10.3\tools\PSpice\UserLib.*”



Figura A.1 Archivos para la configuración de PSpice de OrCAD.

Por último, se modificó el archivo que tiene por nombre “*nom.lib*” en la ruta: “*C:\OrCAD\OrCAD_10.3\tools\PSpice\UserLib.*”. La modificación consiste en agregar una línea más con la siguiente instrucción: *-.lib "CMOS1_2.lib"*-. Como lo muestra la Figura A.2.

```
nom - Bloc de notas
Archivo Edición Formato Ver Ayuda
* If the library search times are too long, you may want to "comment out"
* references to device libraries which you are not using. Also, you can always
* bypass the library approach and simply copy the model or subcircuit which you
* need directly into your circuit file.
* utility subcircuits and models
|
.lib "CMOS1_2.lib"           ; PMOS and NMOS parameters
.lib "breakout.lib"        ; generic devices for schematic capture
.lib "filtsub.lib"         ; Filter biquad stages and LC ladder branches
.lib "tline.lib"           ; transmission line models and subcircuits
* "regular" device libraries
.lib "nom_dig.lib"         ; Digital (logic) devices - Requires "Digital simulation"
```

Figura A.2 Archivo “*nom.lib*” con la librería “*CMOS1_2.LIB*” adicionada en las líneas de instrucción.



A.2 Modelos en PSpice de transistores MOSFET de canal N y canal P

En esta sección se describen los modelos y se muestran las características de los dispositivos de distintas dimensiones empleados en el diagrama esquemático propuesto en esta tesis. Los parámetros de estos modelos se localizan en el archivo CMOS1_2.lib:

MOSIS WAFER ACCEPTANCE TESTS

RUN: V03M
TECHNOLOGY: SCN05

VENDOR: AMIS (ON-SEMI)
FEATURE SIZE: 0.5 microns

Run type: SKD

V03M SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

* DATE: Jul 6/10

* LOT: V03M WAF: 0102

* Temperature_parameters=Default

```
.MODEL MN NMOS (LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 1.41E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = 0.6162345
+K1 = 0.9246 K2 = -0.1089101 K3 = 27.2615565
+K3B = -9.4963817 W0 = 1E-8 NLX = 1.000787E-9
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.8493296 DVT1 = 0.3241503 DVT2 = -0.5
+U0 = 459.0575002 UA = 1E-13 UB = 1.394833E-18
+UC = 4.839919E-13 VSAT = 1.987197E5 A0 = 0.5925244
+AGS = 0.1275819 B0 = 1.925212E-6 B1 = 5E-6
+KETA = -8.462738E-3 A1 = 9.708605E-5 A2 = 0.3
+RDSW = 1.072613E3 PRWG = 0.1042314 PRWB = 4.05832E-3
+WR = 1 WINT = 2.473362E-7 LINT = 9.173131E-8
+XL = 1E-7 XW = 0 DWG = -6.675418E-9
+DWB = 2.447593E-8 VOFF = -7.74456E-5 NFACTOR = 0.5570955
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 3.076778E-3 ETAB = 5.035611E-3
+DSUB = 0.0476483 PCLM = 2.098986 PDIBLC1 = 3.765104E-4
+PDIBLC2 = 1.129309E-3 PDIBLCB = 0.0260611 DROUT = 3.567674E-5
+PSCBE1 = 1.409157E10 PSCBE2 = 2.802277E-9 PVAG = 0.0106634
+DELTA = 0.01 RSH = 83.1 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WVN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
```



```

+CGDO = 1.82E-10    CGSO = 1.82E-10    CGBO = 1E-9
+CJ  = 4.131883E-4    PB  = 0.8386593    MJ  = 0.4339073
+CJSW = 3.430713E-10  PBSW = 0.8          MJSW = 0.1894648
+CJSWG = 1.64E-10    PBSWG = 0.8        MJSWG = 0.1894648
+CF  = 0              PVTH0 = -0.0467729  PRDSW = 188.2625219
+PK2 = -0.0599616    WKETA = 2.387558E-3  LKETA = 0.0355701 )
*

```

```

.MODEL MP PMOS      (LEVEL = 7
+VERSION = 3.1      TNOM = 27           TOX = 1.41E-8
+XJ  = 1.5E-7       NCH = 1.7E17       VTH0 = -0.9152268
+K1  = 0.553472     K2  = 7.871921E-3  K3  = 2.6842734
+K3B = -0.2469301   W0  = 5.866233E-7  NLX = 5.057577E-8
+DVT0W = 0          DVT1W = 0          DVT2W = 0
+DVT0 = 1.4134858  DVT1 = 0.3588549  DVT2 = -0.1323389
+U0  = 201.3603195  UA  = 2.408572E-9  UB  = 1E-21
+UC  = -1E-10       VSAT = 1.442893E5  A0  = 0.7862206
+AGS = 0.0964655    B0  = 6.485944E-7  B1  = 0
+KETA = -4.865785E-3  A1  = 1.975808E-4  A2  = 0.3373673
+RDSW = 3E3         PRWG = -0.0261211  PRWB = -0.0514556
+WR  = 1            WINT = 2.757836E-7  LINT = 1.278007E-7
+XL  = 1E-7         XW  = 0             DWG = -2.25981E-10
+DWB = -2.30635E-8  VOFF = -0.0717956  NFACTOR = 0.6520461
+CIT = 0            CDSC = 2.4E-4       CDSCD = 0
+CDSCB = 0          ETA0 = 0            ETAB = -0.2
+DSUB = 1           PCLM = 2.4577256   PDIBLC1 = 0.0307366
+PDIBLC2 = 3.333441E-3  PDIBLCB = -0.0395397  DROUT = 0.1941905
+PSCBE1 = 1E8        PSCBE2 = 3.377018E-9  PVAG = 0.0150076
+DELTA = 0.01        RSH = 104.1         MOBMOD = 1
+PRT = 0            UTE = -1.5          KT1 = -0.11
+KT1L = 0           KT2 = 0.022         UA1 = 4.31E-9
+UB1 = -7.61E-18     UC1 = -5.6E-11      AT  = 3.3E4
+WL  = 0            WLN = 1             WW  = 0
+WWN = 1            WWL = 0             LL  = 0
+LLN = 1            LW  = 0             LWN = 1
+LWL = 0            CAPMOD = 2          XPART = 0.5
+CGDO = 2.34E-10    CGSO = 2.34E-10    CGBO = 1E-9
+CJ  = 7.200473E-4    PB  = 0.870261     MJ  = 0.4900775
+CJSW = 2.150749E-10  PBSW = 0.8247353   MJSW = 0.1810404
+CJSWG = 6.4E-11     PBSWG = 0.8247353  MJSWG = 0.1810404
+CF  = 0            PVTH0 = 5.98016E-3  PRDSW = 14.8598424
+PK2 = 3.73981E-3    WKETA = 9.036892E-3  LKETA = -8.662404E-3 )
*

```



A.3 Cálculos de transistores MOSFET de canal N y canal P

En esta sección se muestran los cálculos para los transistores NMOS y PMOS empleando los parámetros de los modelos contenidos en el archivo CMOS1_2.lib mostrado en la sección anterior.

A.3.1 Ecuaciones para el transistor MOSFET de canal N

Ecuaciones para DC

Para que un transistor MOSFET de canal N se encuentre en la región de saturación se debe cumplir la siguiente condición:

$$V_{DS} \geq V_{GS} - V_{THN} \quad (\text{A.1})$$

Y si se asume que $\lambda = 0$, entonces la corriente que fluye por el drenador del transistor es:

$$I_D = \frac{\beta}{2} (V_{GS} - V_{THN})^2 \quad (\text{A.2})$$

Donde β es el parámetro de la transconductancia, la cual está dada por:

$$\beta = KP \frac{W}{L} \quad (\text{A.3})$$

De la cual:

$$KP = MUZ \cdot C_{OX} \quad (\text{A.4})$$

Y C_{OX} es la capacitancia del óxido por unidad de área, que se obtiene con la siguiente ecuación:

$$C_{OX} = \frac{\epsilon_{OX}}{T_{OX}} = \frac{34.5 \text{ aF}/\mu\text{m}}{T_{OX}} \quad (\text{A.5})$$



ϵ_{OX} = Constante dieléctrica del dióxido del silicio ($3.45 \times 10^{-5} \text{ pF}/\mu\text{m}$ aproximadamente).

$$\epsilon_{OX} = (8.854 \times 10^{-6} \text{ pF}/\mu\text{m})(3.9) = 34.5 \text{ aF}/\mu\text{m} \quad (\text{A.6})$$

T_{OX} = Espesor del óxido obtenido de los parámetros del transistor.

Sin embargo, para que el transistor este en la región de triodo, debe cumplirse:

$$V_{DS} \leq V_{GS} - V_{THN} \quad (\text{A.7})$$

Y

$$I_D = \beta \left((V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (\text{A.8})$$

Por último, para conocer el borde entre la región de triodo y la saturación se debe cumplir la siguiente ecuación:

$$V_{DS} = V_{DS,sat} = V_{GS} - V_{THN} \quad (\text{A.9})$$

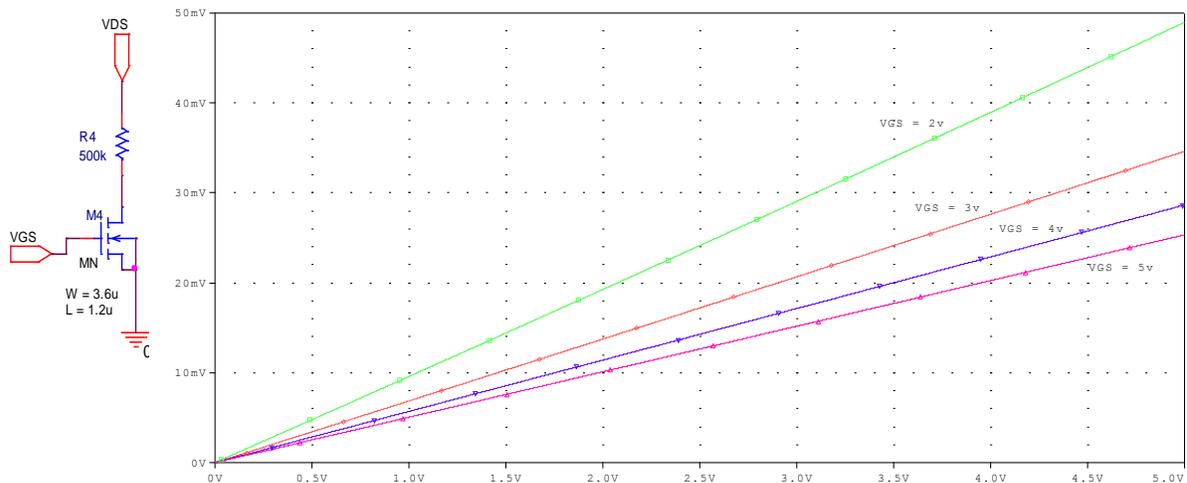


Figura A.3 Características de un MOSFET canal N de dimensiones $L = 1.2\mu\text{m}$ y $W = 3.6\mu\text{m}$.

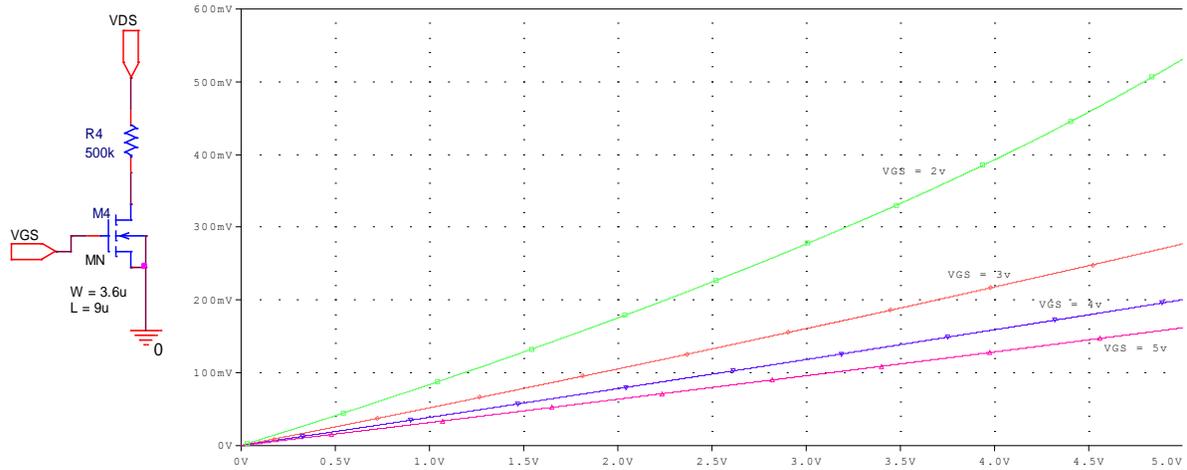


Figura A.4 Características de un MOSFET canal N de dimensiones $L = 9\mu\text{m}$ y $W = 3.6\mu\text{m}$.

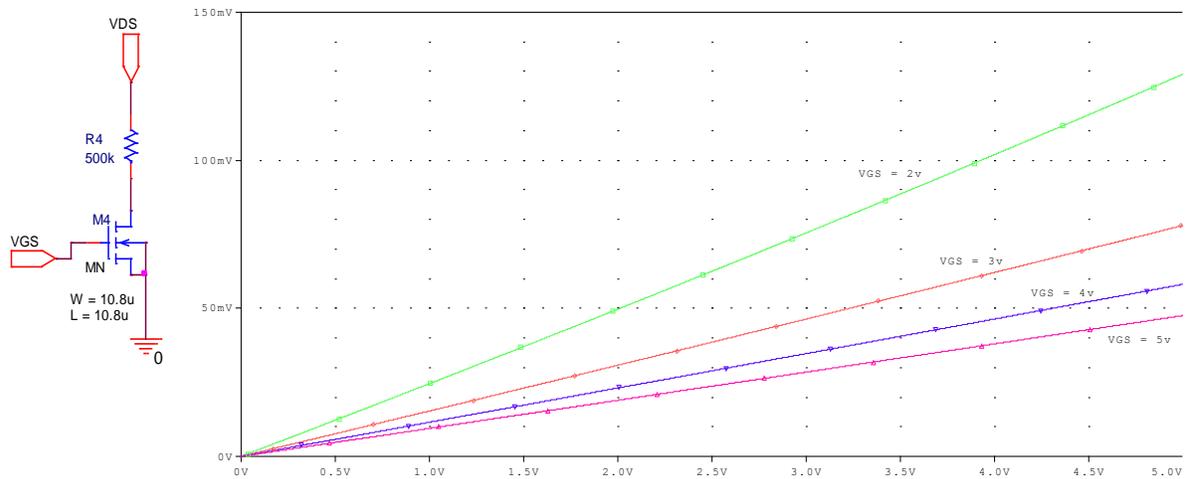


Figura A.5 Características de un MOSFET canal N de dimensiones $L = 10.8\mu\text{m}$ y $W = 10.8\mu\text{m}$.

A.3.2 Ecuaciones para el transistor MOSFET de canal P

Ecuaciones para DC

Para que un transistor MOSFET de canal P se encuentre en la región de saturación se debe cumplir la siguiente condición:

$$V_{SD} \geq V_{SG} - V_{THP} \quad (\text{A.10})$$



Y si se asume que $\lambda = 0$, entonces la corriente que fluye por el drenador del transistor es:

$$I_D = \frac{\beta}{2} (V_{SG} - V_{THP})^2 \quad (\text{A.11})$$

Donde β es el parámetro de la transconductancia, la cual está dada por:

$$\beta = KP \frac{W}{L} \quad (\text{A.12})$$

Para que el transistor este en la región de triodo, debe cumplirse:

$$V_{SD} \leq V_{SG} - V_{THP} \quad (\text{A.13})$$

$$Y \quad I_D = \beta \left((V_{SG} - V_{THP})V_{SD} - \frac{V_{SD}^2}{2} \right) \quad (\text{A.14})$$

Y para conocer el borde entre la región de triodo y la saturación se debe cumplir la siguiente ecuación:

$$V_{SD} = V_{SD,sat} = V_{SG} - V_{THP} \quad (\text{A.15})$$

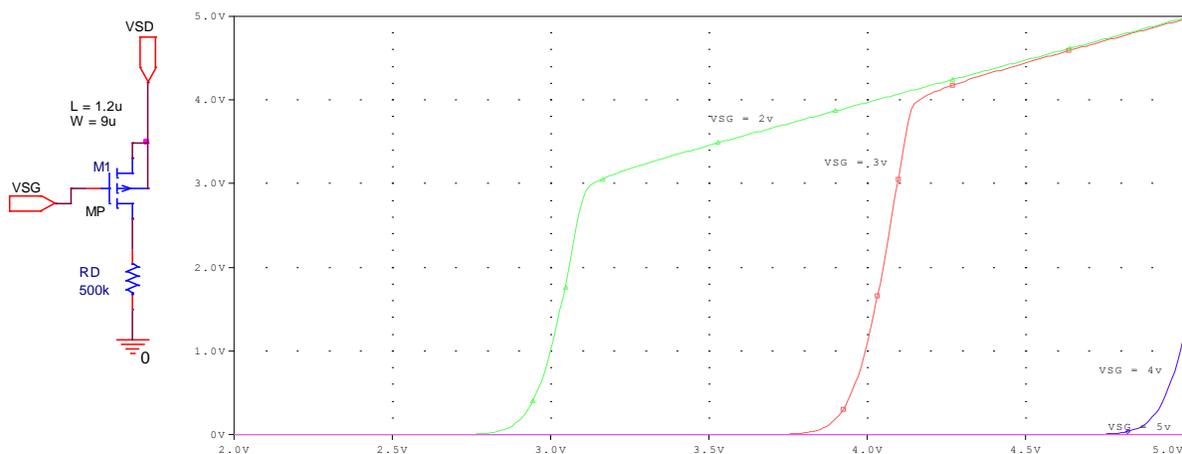


Figura A.6 Características de un MOSFET canal P de dimensiones $L = 1.2\mu\text{m}$ y $W = 9\mu\text{m}$.

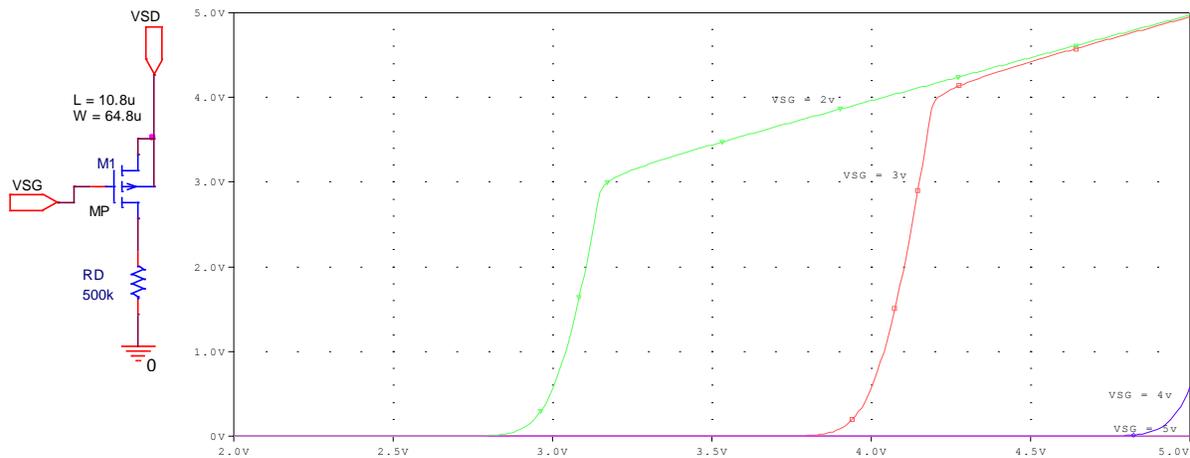


Figura A.7 Características de un MOSFET canal P de dimensiones $L = 10.8\mu\text{m}$ y $W = 64.8\mu\text{m}$.

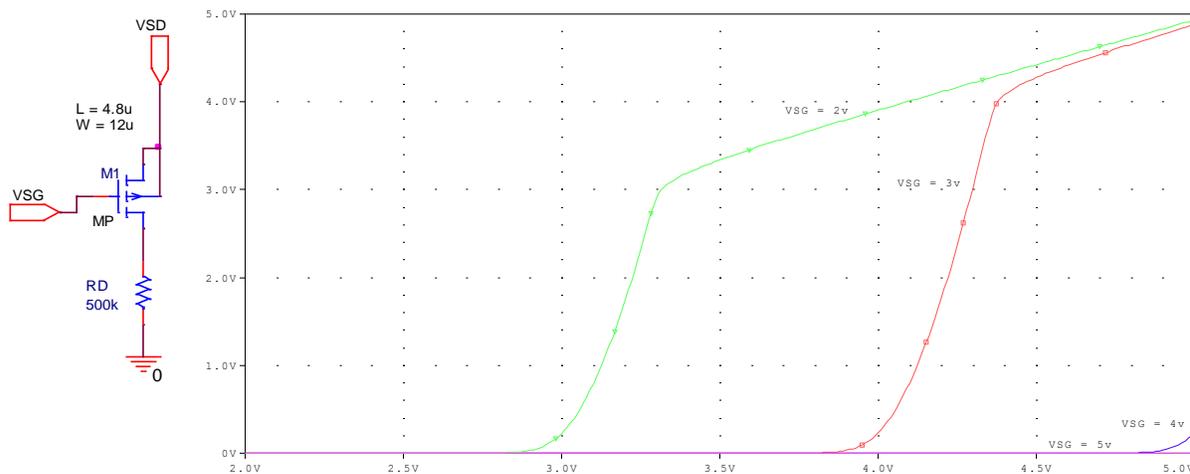


Figura A.8 Características de un MOSFET canal P de dimensiones $L = 4.8\mu\text{m}$ y $W = 12\mu\text{m}$.

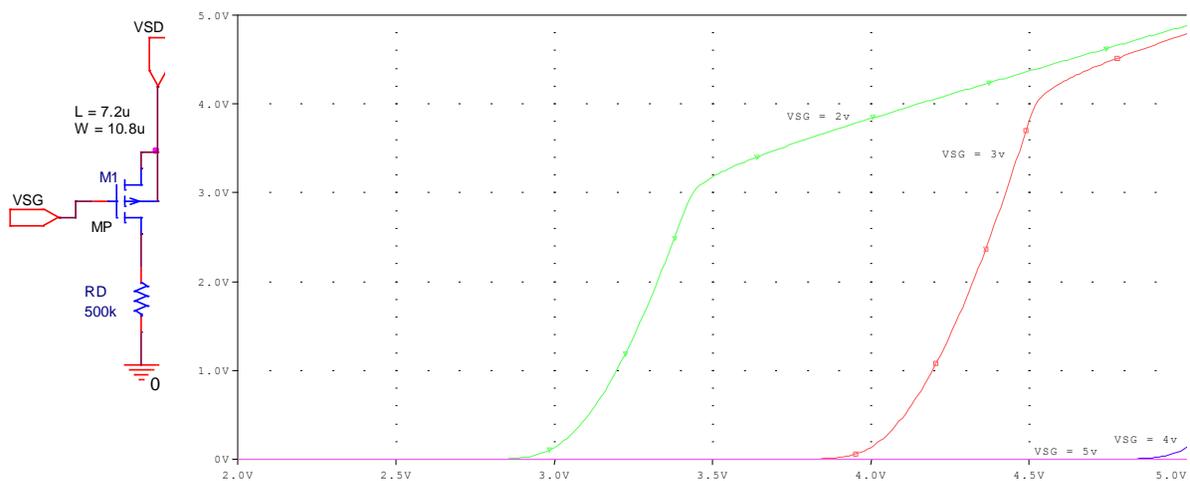


Figura A.9 Características de un MOSFET canal P de dimensiones $L = 7.2\mu\text{m}$ y $W = 10.8\mu\text{m}$.



ANEXO B

B.1 Archivo Netlist de salida de PSpice de OrCad de la simulación del diagrama esquemático

```
** Creating circuit file "Time Domain.cir"
** WARNING: THIS AUTOMATICALLY GENERATED FILE MAY BE OVERWRITTEN BY SUBSEQUENT
SIMULATIONS

*Libraries:
* Profile Libraries:
* Local Libraries:
.LIB "..../sdmodulator-PSpicefiles/sdmodulator.lib"
* From [PSPICE NETLIST] section of C:\OrCAD\OrCAD_10.3\tools\PSpice\PSpice.ini file:
.lib "nom.lib"

*Analysis directives:
.TRAN 0 50ms 0
.PROBE V(alias(*)) I(alias(*)) W(alias(*)) D(alias(*)) NOISE(alias(*))
.INC "... \SCHEMATIC1.net"

**** INCLUDING SCHEMATIC1.net ****
* Source SDMODULATOR
.EXTERNAL OUTPUT Vbias1
.EXTERNAL OUTPUT Vbias2
.EXTERNAL OUTPUT ShutA
.EXTERNAL OUTPUT ShutB
.EXTERNAL OUTPUT PHI1
.EXTERNAL OUTPUT PHI2
.EXTERNAL OUTPUT VDD
.EXTERNAL OUTPUT Reset
M_M8      VDD VBIAS1 N4 VDD MP
+ L=4.8u
+ W=12u
M_M14     VDD N6 N7 VDD MP
+ L=1.2u
+ W=9u
M_M3      VDD VBIAS1 N1 VDD MP
+ L=4.8u
+ W=12u
V_V15     SHUTB 0
+PULSE 0 0 0 10n 10n 20m 35m
R_R2      0 N8652250 10k
V_V9      PHI1 0
+PULSE 0 5 142.07u 10n 10n 244.14u 488.28u
M_M9      N4 VBIAS2 N5 N4 MP
+ L=7.2u
+ W=10.8u
```



M_M15 N7 N6 0 0 MN
+ L=1.2u
+ W=3.6u
M_M4 N1 IN N3 N1 MP
+ L=10.8u
+ W=64.8u
M_M18 IN OUT N9 0 MN
+ L=1.2u
+ W=3.6u
M_M10 N6 N3 N4 N4 MP
+ L=7.2u
+ W=10.8u
M_M16 VDD N7 OUT VDD MP
+ L=1.2u
+ W=9u
V_V10 PHI2 0
+PULSE 5 0 40u 10n 10n 448.28u 488.28u
M_M5 N2 VBIAS2 N1 N1 MP
+ L=10.8u
+ W=64.8u
M_M19 N9 PHI1 N8 0 MN
+ L=1.2u
+ W=3.6u
M_M17 OUT N7 0 0 MN
+ L=1.2u
+ W=3.6u
M_M6 N3 N2 0 0 MN
+ L=10.8u
+ W=10.8u
M_M20 N8 PHI2 0 0 MN
+ L=1.2u
+ W=3.6u
M_M11 N5 N6 0 0 MN
+ L=10.8u
+ W=10.8u
V_V1 VBIAS1 0 3.75Vdc
M_M7 N2 N2 0 0 MN
+ L=10.8u
+ W=10.8u
R_R3 N864215 N8649431 10k
V_V14 SHUTA 0
+PULSE 5 5 0 10n 10n 20m 35m
M_M21 IN RESET N3 0 MN
+ L=1.2u
+ W=3.6u
R_R1 0 N8651070 10k
M_M12 N6 N5 0 0 MN
+ L=10.8u
+ W=10.8u
X_U1A VDD OUT PHI1 VDD N8651070 N8652250 \$G_DPWR \$G_DGND 74ALS74A



```
+ PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
M_M1      N864215 SHUTB VBIAS2 0 MN
+ L=1.2u
+ W=3.6u
V_V8      VDD 0 5Vdc
C_C3      0 OUT 2p
V_V11     RESET 0
+PULSE 0 5 0 10n 10n 100u 700m
V_V2      VBIAS2 0 1.5Vdc
M_M2      N864215 SHUTA IN 0 MN
+ L=1.2u
+ W=3.6u
M_M13     N6 PHI2 N5 0 MN
+ L=9u
+ W=3.6u
C_C1      N3 IN 200f
C_C2      N8 0 40f
I_I2      VDD N8649431 DC 0Aadc AC 0Aac
+SIN 35p 89p 200 0 0 0

**** RESUMING "Time Domain.cir" ****
.END
```

B.2 Archivo Netlist de salida del diseño topológico diseñado en L-Edit de Tanner EDA

```
* Circuit Extracted by Tanner Research's L-Edit Version 13.00 / Extract Version 13.00;
* TDB File: D:\SD Modulator Tanner\SDModulatorNew.tdb
* Cell: SDModulator      Version 1.88
* Extract Definition File:
C:\Archivos de programa\Tanner EDA\DesignKits_v1.8\MOSIS\AML_050\TechSetups\mamis05.ext
* Extract Date and Time: 01/29/2011 - 01:44
```

```
.include morbn20.md
```

```
* Warning: Layers with Unassigned AREA Capacitance.
* <subs>
* <allsubs>
* <poly2 wire>
* <LPNP emitter>
* <LPNP collector>
* Warning: Layers with Unassigned FRINGE Capacitance.
* <p2p1 capacitor>
* <nmos capacitor>
* <pmos capacitor>
* <n well wire>
* <subs>
```



* <allsubs>
* <poly wire>
* <poly2 wire>
* <LPNP emitter>
* <LPNP collector>

* NODE NAME ALIASES
* 3 = N1 (-113, 428)
* 4 = Vbias1 (-93, 482)
* 5 = VDD (-106, 495)
* 10 = Vbias2 (-100, 482)
* 17 = N2 (-133, -56)
* 18 = N5 (-169, -203)
* 19 = N4 (-143, -151)
* 20 = N6 (-229, -203)
* 21 = GND (-82, 482)
* 22 = N7 (-118, -380)
* 23 = Phi1 (-246, -427)
* 24 = Reset (-239, -427)
* 25 = N3 (-248, -341)
* 26 = IN (-252, -143)
* 27 = N8 (-215, -354)
* 28 = N9 (-205, -328)
* 29 = Phi2 (-80, -427)
* 30 = Out (-172, -427)

Cpar1 3 0 C=1.3679012p
Cpar2 4 0 C=53.80884f
Cpar3 5 0 C=665.22108f
Cpar4 10 0 C=178.03476f
Cpar5 17 0 C=222.84096f
Cpar6 18 0 C=79.96752f
Cpar7 19 0 C=164.34216f
Cpar8 20 0 C=105.29268f
Cpar9 21 0 C=1.5345304p
Cpar10 22 0 C=41.00832f
Cpar11 25 0 C=327.19644f
Cpar12 26 0 C=170.57136f
Cpar13 30 0 C=45.75876f

M56 3 4 5 PMOS L=4.8u W=12u \$ (-157 449 -117 465)
C55 26 25 C=47.952f \$ (-207 433 -182 457)
C54 26 25 C=47.952f \$ (-235 433 -210 457)
C53 26 25 C=47.952f \$ (-207 460 -182 484)
C52 26 25 C=47.952f \$ (-235 460 -210 484)
M48 6 9 1 3 PMOS L=10.8u W=10.8u \$ (-166 355 -130 391)
M47 3 26 25 3 PMOS L=10.8u W=10.8u \$ (-166 301 -130 337)
M44 7 8 2 3 PMOS L=10.8u W=10.8u \$ (-216 355 -180 391)
M43 17 10 3 3 PMOS L=10.8u W=10.8u \$ (-216 301 -180 337)
M39 3 10 17 3 PMOS L=10.8u W=10.8u \$ (-166 247 -130 283)



```

M38 3 26 25 3 PMOS L=10.8u W=10.8u  $ (-166 193 -130 229)
M36 25 26 3 3 PMOS L=10.8u W=10.8u  $ (-216 247 -180 283)
M34 17 10 3 3 PMOS L=10.8u W=10.8u  $ (-216 193 -180 229)
M31 3 10 17 3 PMOS L=10.8u W=10.8u  $ (-166 139 -130 175)
M30 3 26 25 3 PMOS L=10.8u W=10.8u  $ (-166 85 -130 121)
M29 25 26 3 3 PMOS L=10.8u W=10.8u  $ (-216 139 -180 175)
M28 17 10 3 3 PMOS L=10.8u W=10.8u  $ (-216 85 -180 121)
M25 25 26 3 3 PMOS L=10.8u W=10.8u  $ (-216 31 -180 67)
M24 15 14 11 3 PMOS L=10.8u W=10.8u  $ (-166 -23 -130 13)
M23 3 10 17 3 PMOS L=10.8u W=10.8u  $ (-166 31 -130 67)
M22 16 13 12 3 PMOS L=10.8u W=10.8u  $ (-216 -23 -180 13)
M20 21 17 17 21 NMOS L=10.8u W=10.8u  $ (-162 -118 -126 -82)
M19 21 17 25 21 NMOS L=10.8u W=10.8u  $ (-204 -118 -168 -82)
M18 5 4 19 5 PMOS L=4.8u W=12u  $ (-126 -200 -110 -160)
M17 18 10 19 19 PMOS L=7.2u W=10.8u  $ (-195 -195 -171 -159)
M16 19 25 20 19 PMOS L=7.2u W=10.8u  $ (-225 -195 -201 -159)
M13 20 29 18 21 NMOS L=1.2u W=3.6u  $ (-122 -248 -118 -236)
M11 26 30 28 21 NMOS L=1.2u W=3.6u  $ (-201 -328 -197 -316)
M10 27 29 21 21 NMOS L=1.2u W=3.6u  $ (-221 -328 -217 -316)
M9 25 24 26 21 NMOS L=1.2u W=3.6u  $ (-191 -328 -187 -316)
M8 28 23 27 21 NMOS L=1.2u W=3.6u  $ (-211 -328 -207 -316)
M7 21 20 18 21 NMOS L=10.8u W=10.8u  $ (-179 -277 -143 -241)
M6 21 18 20 21 NMOS L=10.8u W=10.8u  $ (-221 -277 -185 -241)
M5 5 22 30 5 PMOS L=1.2u W=9u  $ (-144 -355 -140 -325)
M4 5 20 22 5 PMOS L=1.2u W=9u  $ (-114 -355 -110 -325)
M3 21 22 30 21 NMOS L=1.2u W=3.6u  $ (-144 -406 -140 -394)
M2 21 20 22 21 NMOS L=1.2u W=3.6u  $ (-114 -406 -110 -394)
C1 27 21 C=38.3616f  $ (-217 -396 -193 -376)

```

```

* Total Nodes: 30
* Total Elements: 51
* Total Number of Shorted Elements not written to the SPICE file: 0
* Output Generation Elapsed Time: 0.016 sec
* Total Extract Elapsed Time: 2.829 sec
.END

```

B.3 Archivo de salida de la comparación del diseño topológico contra el circuito esquemático

```

Engine configuration report:
Layout netlist file..... SDModulator.spc
Layout netlist file format..... T-Spice
Schematic netlist file..... SCHEMATIC1.sp.net
Schematic netlist file format..... T-Spice
Consider Bulk nodes..... TRUE
By default, FET S/D terminals are swappable..... TRUE

```



By default, BJT C/E terminals are swappable..... FALSE
 By default, Resistors are polarized elements..... FALSE
 By default, Capacitors are polarized elements..... FALSE
 By default, Inductors are polarized elements..... FALSE
 Merge series and parallel R..... OFF
 Merge series and parallel C..... ALL
 Merge series and parallel L..... OFF
 Merge parallel M..... ALL
 Merge stacked M..... OFF
 Merge parallel D..... OFF
 Merge parallel B..... OFF
 Merge parallel J..... OFF
 Merge parallel Z..... OFF
 Merge parallel Q..... OFF
 Merge series MOSFETs..... OFF
 Find series MOSFETs that differ in order or parameter value... OFF
 Remove shorted devices..... OFF
 Remove disconnected devices..... ON
 Fast Iteration..... OFF

Parsing file SDModulator.spc...

Warning: SDModulator.spc (61) Implicit .model definition PMOS

Warning: SDModulator.spc (82) Implicit .model definition NMOS

Flattening netlist...

Parsing file SCHEMATIC1.sp.net...

Warning: SCHEMATIC1.sp.net (11) Implicit .model definition PMOS

Warning: SCHEMATIC1.sp.net (19) Ignoring device V_V9

Warning: SCHEMATIC1.sp.net (25) Node 0 aliased to GROUND

Warning: SCHEMATIC1.sp.net (25) Implicit .model definition NMOS

Warning: SCHEMATIC1.sp.net (39) Ignoring device V_V10

Warning: SCHEMATIC1.sp.net (58) Ignoring device V_V1

Warning: SCHEMATIC1.sp.net (68) Ignoring device V_V8

Warning: SCHEMATIC1.sp.net (70) Ignoring device V_V12

Warning: SCHEMATIC1.sp.net (72) Ignoring device V_V11

Warning: SCHEMATIC1.sp.net (73) Ignoring device V_V2

Flattening netlist...

Device	SDModulator.spc	SCHEMATIC1.sp.net	Status
M_NMOS	11	11	
C	5	2	MISMATCH (3)
M_PMOS	22	8	MISMATCH (14)
Total elements	38	21	MISMATCH (17)
Total nodes	30	18	MISMATCH (12)
Single-pin nodes	14	2	MISMATCH (12)



Merging devices...

Eliminated from SDModulator.spic:

4 disconnected MOSFET(s)

3 parallel capacitor(s)

10 parallel MOSFET(s)

12 node(s)

Device	SDModulator.spic	SCHEMATIC1.sp.net	Status
M_NMOS	11	11	
C	2	2	
M_PMOS	8	8	
Total elements	21	21	
Total nodes	18	18	
Single-pin nodes	2	2	

Iterating...

100% done.

***** FINAL RESULT *****

Note: Devices have been merged.

Circuits are equal.

Run time: 0:02 (min:sec)

0 errors, 10 warnings

ANEXO C

El resultado de haber realizado el diseño topológico (*layout*) de cada uno de los bloques que constituyen la arquitectura del presente trabajo de tesis son los siguientes:

C.1 Integrador

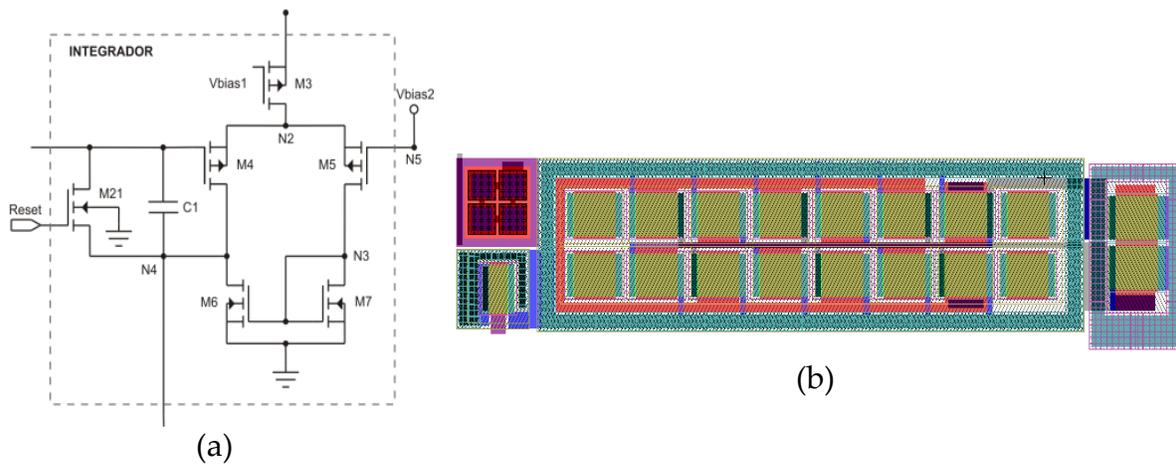


Figura C.1 (a) Bloque esquemático del integrador. (b) Layout del integrador con área: $42\mu\text{m} \times 190\mu\text{m}$.

C.2 Cuantificador

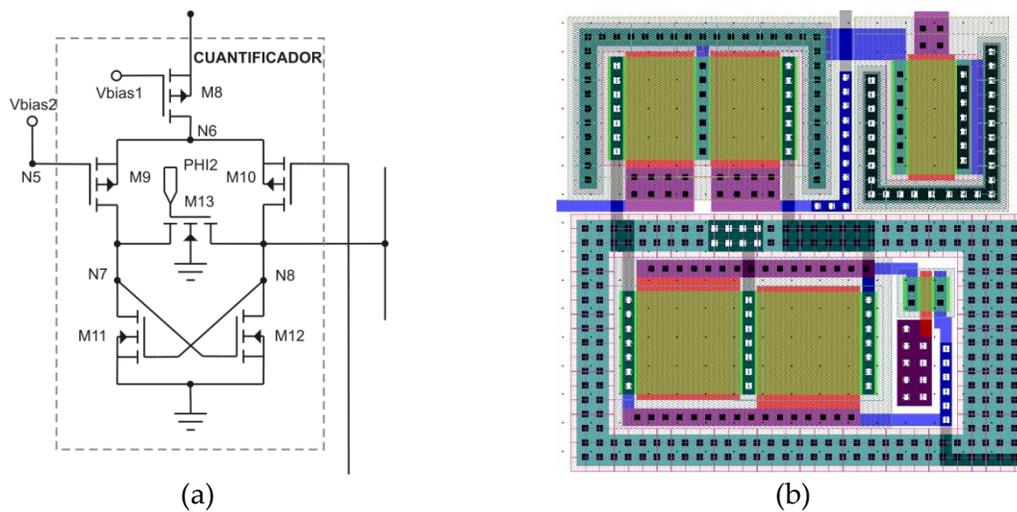


Figura C.2 (a) Bloque esquemático del cuantificador. (b) Layout del cuantificador con área: $46\mu\text{m} \times 48\mu\text{m}$.

C.3 Buffer

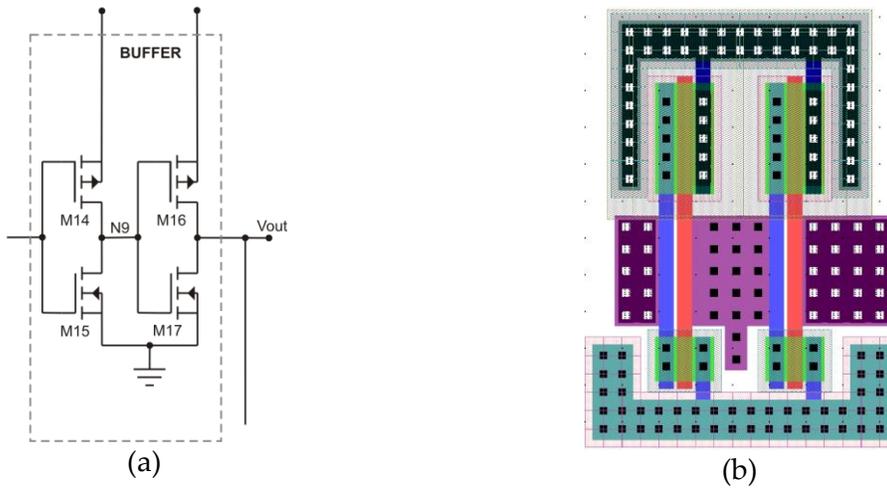


Figura C.3 (a) Bloque esquemático del buffer de salida. (b) Layout del buffer con área: $22\mu\text{m} \times 36\mu\text{m}$.

C.4 Convertidor DA

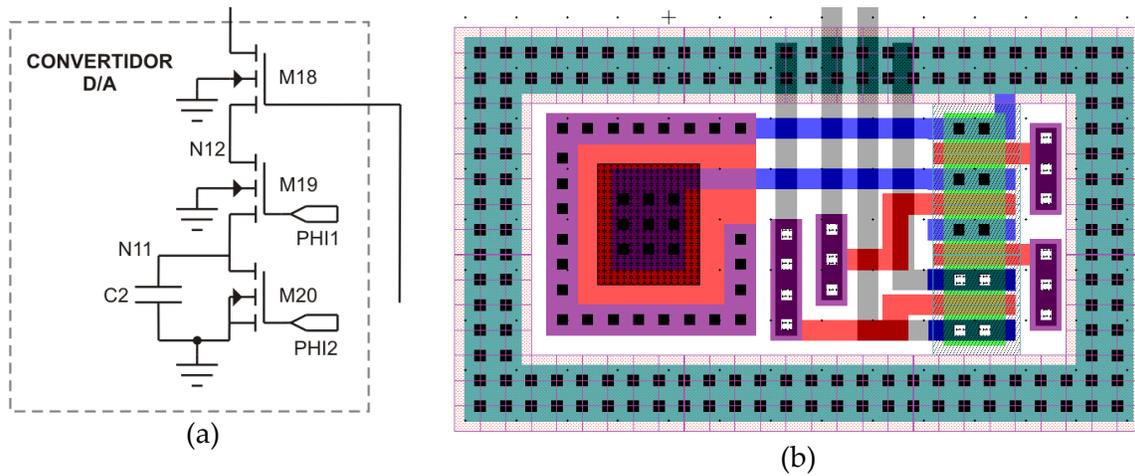


Figura C.4 (a) Bloque esquemático del convertidor DA. (b) Layout del convertidor con área: $24\mu\text{m} \times 41\mu\text{m}$.

C.5 Voltaje de polarización Vbias1

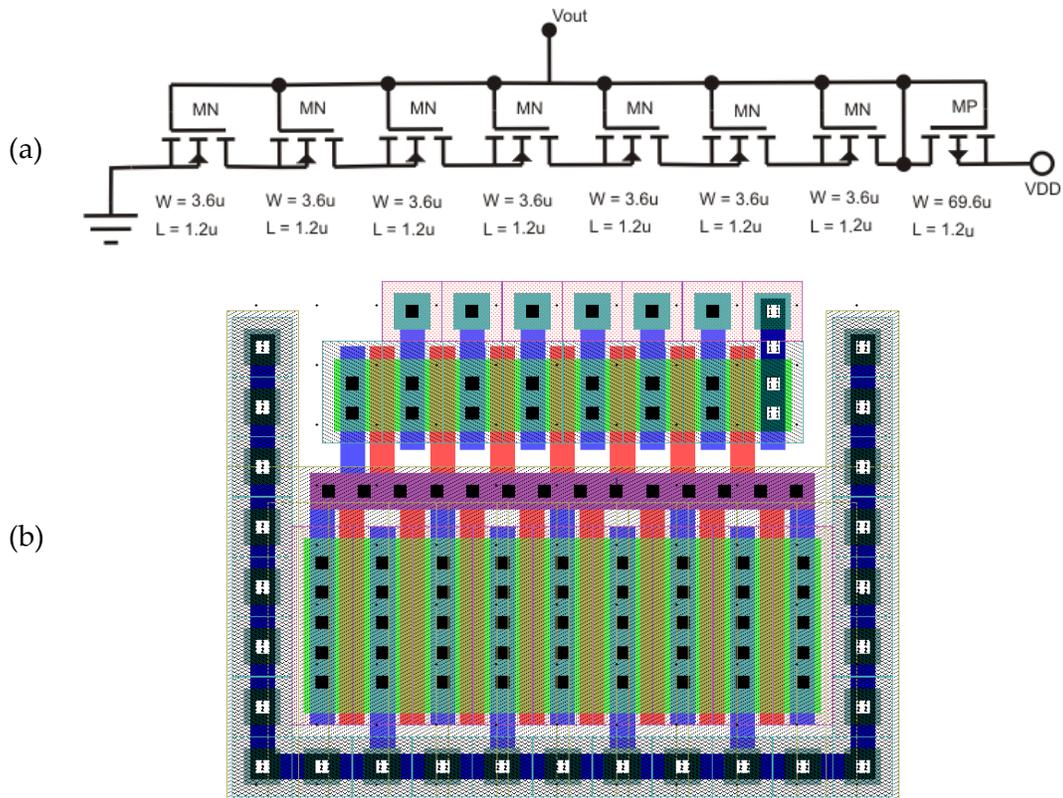


Figura C.5 (a) Bloque esquemático del voltaje de polarización Vbias1. (b) Layout del bloque esquemático Vbias1 con área: $26\mu\text{m} \times 40\mu\text{m}$.

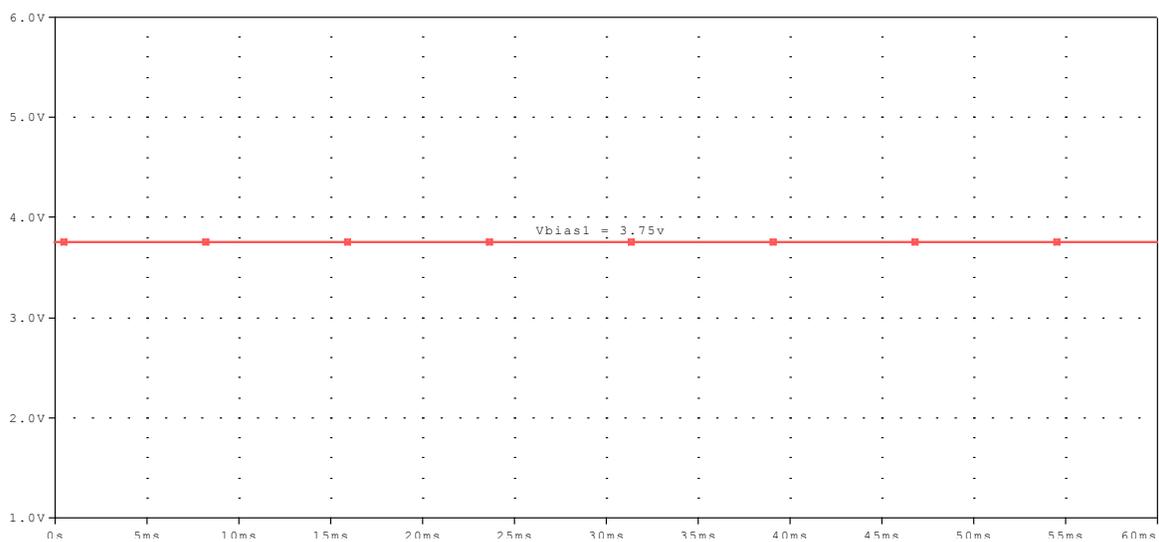


Figura C.6 Respuesta del circuito Vbias1 en el dominio del tiempo.

C.6 Voltaje de referencia Vbias2

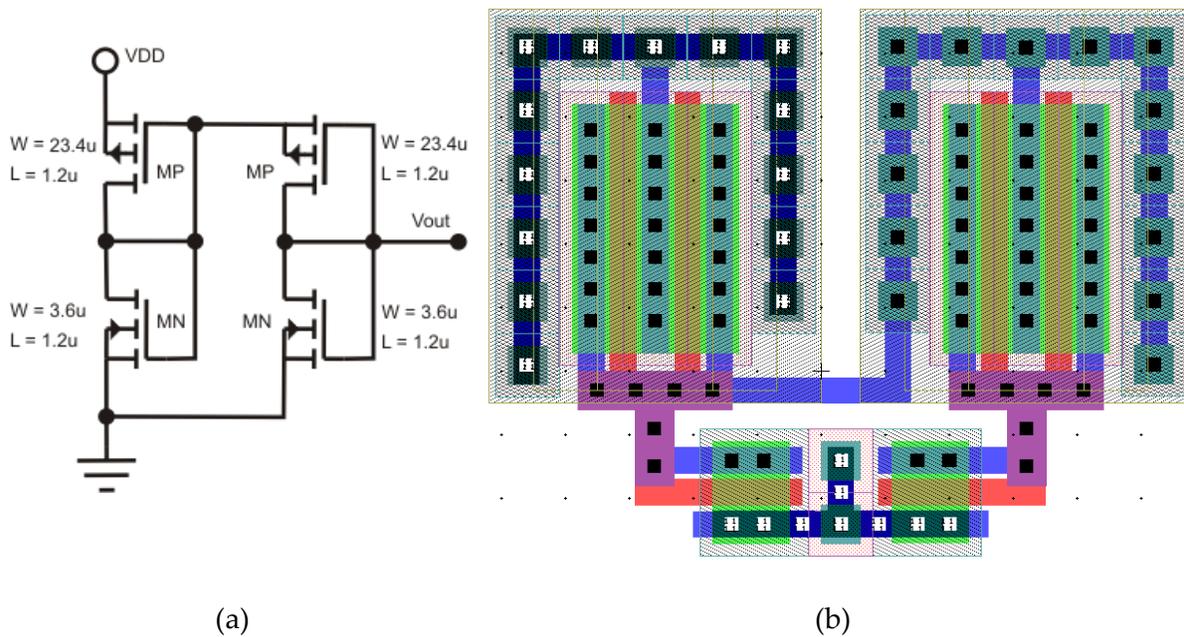


Figura C.7 (a) Bloque esquemático del voltaje de referencia Vbias2. (b) Layout del bloque esquemático Vbias2 con área: $26\mu\text{m} \times 33\mu\text{m}$.

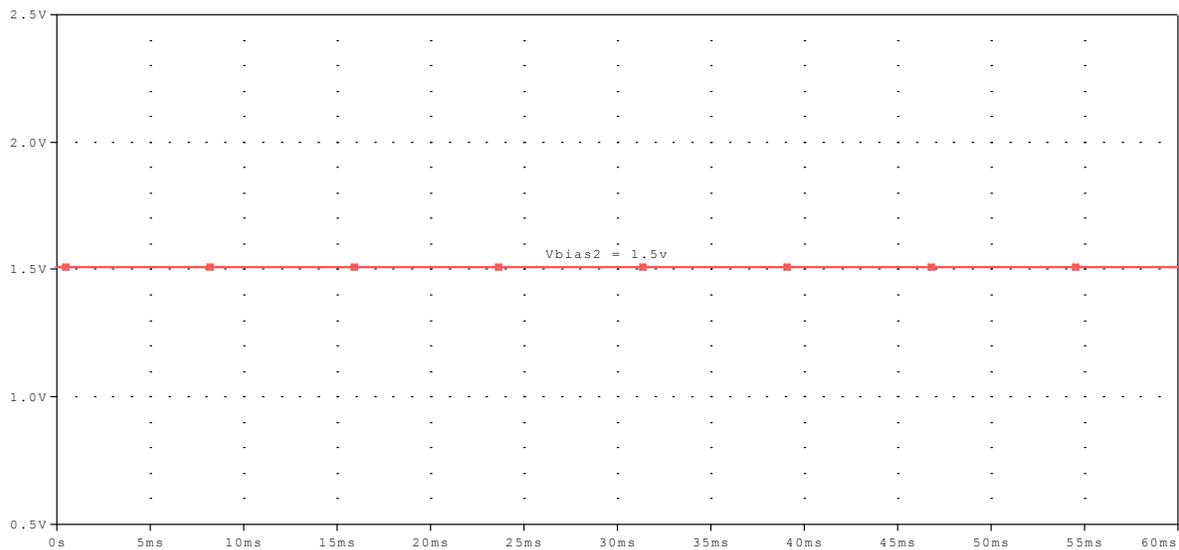


Figura C.8 Respuesta del circuito Vbias2 en el dominio del tiempo.

